



RECEIVED

APR 02 2002

Technology Center 2100

XA-9639

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Takayuki TAMURA et al.

Appln. No.: 10/083,502

Group Art Unit: 2182

Filed: February 27, 2002

For: MEMORY CARD AND MEMORY CONTROLLER

\* \* \*

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

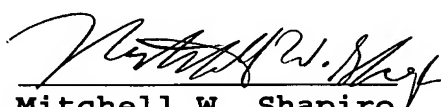
Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese  
Patent Application No. 2001-241930 filed August 9, 2001,  
and submit herewith a certified copy of said application.

Respectfully submitted,

By:

  
Mitchell W. Shapiro  
Reg. No. 31,568

MWS:jab

Miles & Stockbridge P.C.  
1751 Pinnacle Drive  
Suite 500  
McLean, VA 22102-3833  
Tel: (703) 610-8652

March 29, 2002



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

10/083,502

GAU 2182

RECEIVED

APR 02 2002

Technology Center 21C

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月 9日

出 願 番 号

Application Number:

特願2001-241930

[ ST.10/C ]:

[ JP 2001-241930 ]

出 願 人

Applicant(s):

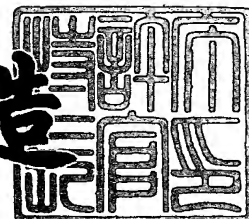
株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2002年 3月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3013380

【書類名】 特許願

【整理番号】 H01009361

【提出日】 平成13年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明者】

    【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立  
超エル・エス・アイ・システムズ内

    【氏名】 田村 隆之

【発明者】

    【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立  
超エル・エス・アイ・システムズ内

    【氏名】 渋谷 洋文

【発明者】

    【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立  
超エル・エス・アイ・システムズ内

    【氏名】 後藤 啓之

【発明者】

    【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立  
超エル・エス・アイ・システムズ内

    【氏名】 塩田 茂雅

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233169

    【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

    【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリカード及びメモリコントローラ

【特許請求の範囲】

【請求項 1】 複数の不揮発性メモリ、及び前記不揮発性メモリの動作を制御するメモリコントローラを有するメモリカードであって、  
前記メモリコントローラは、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御、及びアクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御を行ない、前記アクセス制御では前記複数の不揮発性メモリを並列アクセス動作させ、前記代替制御ではアクセスエラーを生じた不揮発性メモリ単位で記憶領域を代替可能にすることを特徴とするメモリカード。

【請求項 2】 第 1 の不揮発性メモリ、第 2 の不揮発性メモリ、及び前記不揮発性メモリの動作を制御するメモリコントローラを有するメモリカードであって、  
前記メモリコントローラは、セクタデータの偶数番目のデータの記憶領域として第 1 の不揮発性メモリを割り当て、セクタデータの奇数番目のデータの記憶領域として第 2 の不揮発性メモリを割り当て、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御では前記第 1 及び第 2 の不揮発性メモリを並列アクセス動作させ、アクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御ではアクセスエラーを生じた不揮発性メモリ単位で記憶領域を代替可能にすることを特徴とするメモリカード。

【請求項 3】 前記夫々の不揮発性メモリを別々にアクセス制御可能に前記メモリコントローラに接続するバスを有して成ることを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 4】 前記メモリコントローラは前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう ECC 回路を含み、  
前記 ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に対して前記並列アクセス動作の並列数倍の動作周波数で入出力動作を

行なうことを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 5】 前記メモリコントローラは前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう ECC 回路を前記並列アクセス動作の並列数に相当する複数個含み、

前記 ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に等しい動作周波数で並列的に入出力動作を行なうことを特徴とする請求項 1 又は 2 記載のメモリカード。

【請求項 6】 複数の不揮発性メモリ、前記不揮発性メモリの動作を制御する制御回路、及び前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう ECC 回路とを有するメモリカードであって、

前記制御回路は、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御において前記複数の不揮発性メモリを並列アクセス動作させ、

前記 ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に対して前記並列アクセス動作の並列数倍の動作周波数で入出力動作を行なうことを特徴とするメモリカード。

【請求項 7】 複数の不揮発性メモリ、前記不揮発性メモリの動作を制御する制御回路、及び前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう複数の ECC 回路とを有するメモリカードであって、

前記制御回路は、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御において前記複数の不揮発性メモリを並列アクセス動作させ、

前記複数の ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に等しい動作周波数で入出力動作を行なうことを特徴とするメモリカード。

【請求項 8】 所定のプロトコルにしたがって入出力動作可能なホストインタフェース回路と、複数の不揮発性メモリに並列接続可能なメモリインタフェース回路と、前記ホストインタフェース回路及びメモリインタフェース回路に接続

された制御回路とを有し、

前記制御回路は、前記ホストインタフェース回路を介する外部インタフェース制御、外部からのアクセス指示に応答する前記メモリインタフェース回路を介する前記不揮発性メモリのアクセス制御、及びアクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御を行ない、前記アクセス制御では前記複数の不揮発性メモリを並列アクセス動作させ、前記代替制御ではアクセスエラーを生じた不揮発性メモリ単位で記憶領域を代替可能にすることを特徴とするメモリコントローラ。

【請求項 9】 所定のプロトコルにしたがって入出力動作可能なホストインタフェース回路と、第 1 及び第 2 の不揮発性メモリに並列接続可能なメモリインタフェース回路と、前記ホストインタフェース回路及びメモリインタフェース回路に接続された制御回路とを有し、

前記制御回路は、セクタデータの偶数番目のデータの記憶領域として第 1 の不揮発性メモリを割り当て、セクタデータの奇数番目のデータの記憶領域として第 2 の不揮発性メモリを割り当て、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御では前記第 1 及び第 2 の不揮発性メモリを並列アクセス動作させ、アクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御ではアクセスエラーを生じた不揮発性メモリ単位で記憶領域を代替可能にすることを特徴とするメモリコントローラ。

【請求項 10】 前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう ECC 回路を含み、

前記 ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に対して前記並列アクセス動作の並列数倍の動作周波数で入出力動作を行なうことを特徴とする請求項 8 又は 9 記載のメモリコントローラ。

【請求項 11】 前記不揮発性メモリへの書き込みデータにエラー検出コードを付加し前記不揮発性メモリからの読み出しデータに対してエラー検出・訂正を行なう複数の ECC 回路を含み、

前記 ECC 回路は、前記並列アクセス動作される前記不揮発性メモリの入出力動

作周波数に等しい動作周波数で並列的に入出力動作を行なうことを特徴とする請求項 8 又は 9 記載のメモリコントローラ。

【請求項 1 2】 前記メモリコントローラは 1 個の半導体チップに形成されて成ることを特徴とする請求項 8 又は 9 記載のメモリコントローラ。

【請求項 1 3】 制御回路と、複数の不揮発性メモリと、外部装置に接続される外部インタフェース回路と、バスとを有し、  
前記複数の不揮発性メモリは複数の入出力端子を有し、  
前記バスは、第 1 のビット幅を有し、前記所定数毎に分割され、対応する前記不揮発性メモリの入出力端子に接続され、  
前記制御回路は前記複数の不揮発性メモリへのアクセス制御を行い、不揮発性メモリへのアクセスにおいてアクセスエラーが発生したときアドレス代替処理を不揮発性メモリ毎に行なうことを特徴とするメモリカード。

【請求項 1 4】 制御回路と、複数の不揮発性メモリと、 $n$ （1 以上の整数）個のエラー検出・訂正回路と、バスとを有し、  
前記制御回路は前記複数の不揮発性メモリへのアクセス制御を行ない、  
前記複数の不揮発性メモリは夫々第 1 のビット幅  $W_1$  の入出力端子を有し、アクセス周波数  $F_1$  でアクセス可能であり、  
前記バスは、 $W_1 \times m$  のビット幅を有し、 $m$  個の不揮発性メモリの入出力端子に並列に接続され、  
前記エラー検出・訂正回路は、ビット幅  $W_2$  のデータについてエラー検出・訂正が可能であり、  
前記エラー検出・訂正回路の動作周波数  $F_2$  は、 $F_2 \geq (F_1 \times W_1 \times m) / (W_2 \times n)$ 、であることを特徴とするメモリカード。

【請求項 1 5】 制御回路と、第 1 のビット幅を有する入出力端子と、1 又はそれ以上の個数のエラー検出・訂正回路を有し、  
前記エラー検出・訂正回路は前記入出力端子を介して入出力が行われるデータのエラー訂正を行い、  
前記制御回路は、アドレス代替機能を有し、前記入出力端子を介してのデータの入出力の制御を行ない、あるアドレスでのデータ入出力においてアクセスエラー



が発生したとき、前記入出力端子を第2のビット幅毎のグループに分割し、アクセスエラーが生じたグループについてアドレスの代替を行なうことを特徴とするメモリコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリを搭載したメモリカード、不揮発性のメモリカードに適用されるメモリコントローラに関し、例えばハードディスク互換のフラッシュメモリ搭載メモリカードに適用して有効な技術に関する。

【0002】

【従来の技術】

フラッシュメモリ等の電氣的に消去及び書き込み可能な不揮発性メモリを用いたメモリカードでは、カード基板に、不揮発性メモリとそのアクセス制御及び外部インタフェース制御などを行なうメモリコントローラとを搭載して構成される。不揮発性メモリとメモリコントローラとの間のデータ転送ビット数は不揮発性メモリのデータ入出力ビット数に等しくしてもよいが、データ転送効率が悪い場合もある。そのため、複数の不揮発性メモリをメモリコントローラに並列接続し、データ転送の並列ビット数を増やすことが可能である。この点に着目した従来技術として、特開平6-342399号、特開平7-36787号公報に記載の並列書き込み技術、特開平10-187359号公報に記載の2個のフラッシュメモリに対するインタリーブ書き込み技術などがある。

【0003】

【発明が解決しようとする課題】

本発明者は複数の不揮発性メモリを用いた並列アクセス技術について検討した。第1の検討事項はアクセスエラーを生じたときの記憶領域の代替制御機能との関係である。例えばハードディスク互換のメモリカードにおいて書き込みエラーなどのアクセスエラーを生じたとき、セクタ単位で記憶領域の代替が行われる。1セクタ分のデータが複数個の不揮発性メモリに分散されているとき、セクタ単位で代替を行なうと、実際に書きこみエラーを生じていないフラッシュメモリの

記憶領域も代替対象とされ、不揮発性メモリの記憶領域が無駄になり、代替不能状態に陥るまでの期間が短くなるという懸念もある。

## 【 0 0 0 4 】

第2の検討事項はECCなどによるエラー検出・訂正動作との関係である。即ち、記憶情報の信頼性を向上させる為に通常は、ECCのような技術として、書き込みデータに対するエラー検出コードの付加、読み出しデータに対するエラー検出・訂正を行なうのが通例である。このようなエラー検出・訂正機能を考慮すると、メモリコントローラが単に不揮発性メモリを並列アクセスするだけでは足りないことが明らかにされた。例えば、メモリコントローラが複数の不揮発性メモリを並列アクセスして高速にデータをリードしても、そのリードデータに対してエラー検出・訂正処理を行なうECC回路の動作が追従しなければ、また、書き込みデータに付加すべきエラー検出コードの生成動作が速くなければ、メモリカード全体としてのアクセスの高速化を実現することができない。

## 【 0 0 0 5 】

本発明の目的は、不揮発性メモリを用いたメモリカードにおけるアクセスの高速化を実現することにある。

## 【 0 0 0 6 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

## 【 0 0 0 8 】

〔1〕本発明に係るメモリカードは、複数の不揮発性メモリ、及び前記不揮発性メモリの動作を制御するメモリコントローラを有する。前記メモリコントローラは、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御、及びアクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御を行う。

## 【 0 0 0 9 】

このときメモリコントローラは、第 1 に、前記アクセス制御では前記複数の不揮発性メモリを並列アクセス動作させる。例えば、2 個の不揮発性メモリとして第 1 及び第 2 の不揮発性メモリを想定すると、前記メモリコントローラは、セクタデータの偶数番目のデータの記憶領域に第 1 の不揮発性メモリを割り当て、セクタデータの奇数番目のデータの記憶領域に第 2 の不揮発性メモリを割り当てる。前記並列アクセス動作では、第 1 及び第 2 の不揮発性メモリを並列にリード動作させ、また、並列に書き込み動作させる。メモリコントローラが複数の不揮発性メモリを並列アクセスするということは、メモリコントローラとフラッシュメモリとの間のデータバス幅若しくはデータ転送並列ビット数が多いということであり、フラッシュメモリとの間のデータ転送速度の高速化が実現できる。

## 【 0 0 1 0 】

前記メモリコントローラは、第 2 に、前記代替制御ではアクセスエラーを生じた不揮発性メモリ毎に記憶領域を代替可能にする。要するに、複数の不揮発性メモリ毎に、代替制御の為のアドレス管理情報を持たせる。例えば、あるセクタデータの偶数番目のデータでアクセスエラーを生じたときは第 1 の不揮発性メモリにおける当該偶数番目のデータの記憶領域を別のメモリアドレスで代替させ、アクセスエラーを生じていない奇数番目のデータには元々のメモリアドレスを割り当てる。このように、複数の不揮発性メモリの代替制御の為のエリア管理を夫々の不揮発性メモリ単位に行うから、不良アドレスに対する代替領域を効率良く利用でき、代替に際して記憶領域の無駄を低減でき、メモ리카ードの寿命を延ばすことに寄与することができる。要するに、一つのセクタデータを複数の不揮発性メモリに分散配置したとき、セクタデータ単位の代替を行えば、各不揮発性メモリで一つずつ代替セクタアドレスを費やすことになるが、ここでは、そのような無駄を省いている。

## 【 0 0 1 1 】

前記メモリコントローラは、第 3 に、不揮発性記憶装置との間のデータ転送効率を向上させたことに対して ECC 回路の動作を追従させる。即ち、前記メモリコントローラが備える ECC 回路は、前記並列アクセス動作される前記不揮発性

メモリの入出力動作周波数に対して前記並列アクセス動作の並列数倍の動作周波数で入出力動作を行なうようになっている。これにより、ECC回路のハードウェアを増大させずにエラー検出コードの生成やエラー検出・訂正処理の高速化を実現できる。

#### 【0012】

また、ECC回路を前記並列アクセス動作の並列数に相当する複数個設ける場合には、その動作周波数を上げることなく、前記並列アクセス動作される前記不揮発性メモリの入出力動作周波数に等しい動作周波数で並列的に入出力動作を行なうようにすればよい。

#### 【0013】

上記より、メモリコントローラが複数の不揮発性メモリを並列アクセスして高速にデータをリードしたとき、そのリードデータに対してエラー検出・訂正処理を行なうECC回路の動作を追従させることができ、また、書き込みデータに付加すべきエラー検出コードの生成動作を高速化できるから、メモリカード全体としてのアクセスの高速化を実現することができる。

#### 【0014】

〔2〕本発明に係るメモリコントローラは、所定のプロトコルにしたがって入出力動作可能なホストインタフェース回路と、複数の不揮発性メモリに並列接続可能なメモリインタフェース回路と、前記ホストインタフェース回路及びメモリインタフェース回路に接続された制御回路とを有する。前記制御回路は、前記ホストインタフェース回路を介する外部インタフェース制御、外部からのアクセス指示に応答する前記メモリインタフェース回路を介する前記不揮発性メモリのアクセス制御、及びアクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御を行う。特に制御回路は、第1に、前記アクセス制御では前記複数の不揮発性メモリを並列アクセス動作させる。これによって不揮発性メモリ間のデータ転送速度の高速化が実現できる。第2に、前記代替制御ではアクセスエラーを生じた不揮発性メモリ毎に記憶領域を代替可能にする。これにより、代替に際して記憶領域の無駄を低減でき、メモリカードの寿命を延ばすことに寄与することができる。第3に不揮発性記憶装置との間のデータ転送効率の向

上に ECC 回路の動作を追従させるから、エラー検出コードの生成やエラー検出・訂正処理の点においても、メモ리카ード全体としての高速アクセスの実現に寄与する。

## 【 0 0 1 5 】

〔 3 〕 更に別の観点による本発明のメモ리카ードは、制御回路と、複数の不揮発性メモリと、外部装置に接続される外部インタフェース回路と、バスとを有する。前記複数の不揮発性メモリは複数の入出力端子（ $I/O0 \sim I/O7$ ）を有する。前記バスは、第 1 のビット幅を有し、前記所定数毎に分割され、対応する前記不揮発性メモリの入出力端子に接続される。前記制御回路は前記複数の不揮発性メモリへのアクセス制御を行い、不揮発性メモリへのアクセスにおいてアクセスエラーが発生したときアドレス代替処理を不揮発性メモリ毎に行なう。これにより、上記複数の不揮発性メモリに対する並列アクセスの第 1 の点、上記メモリ単位に置き換える第 2 の点と同様の作用及び効果を得る。

## 【 0 0 1 6 】

更に別の観点による本発明のメモ리카ードは、制御回路（4 1， 4 2， 4 3）と、複数の不揮発性メモリと、 $n$ （1 以上の整数）個のエラー検出・訂正回路と、バスとを有する。前記制御回路は前記複数の不揮発性メモリへのアクセス制御を行う。前記複数の不揮発性メモリは夫々第 1 のビット幅  $W1$  の入出力端子を有し、アクセス周波数  $F1$  でアクセス可能である。前記バスは、 $W1 \times m$  のビット幅を有し、 $m$  個の不揮発性メモリの入出力端子に並列に接続される。前記エラー検出・訂正回路は、ビット幅  $W2$  のデータについてエラー検出・訂正が可能である。前記エラー検出・訂正回路の動作周波数  $F2$  は、 $F2 \geq (F1 \times W1 \times m) / (W2 \times n)$  の関係を満足する。これにより、不揮発性記憶装置との間のデータ転送効率の向上に ECC 回路の動作を追従させる第 3 の点と同様の作用及び効果を得る。

## 【 0 0 1 7 】

更に別の観点による本発明のメモリコントローラは、制御回路（4 1， 4 2， 4 3）と、第 1 のビット幅を有する入出力端子（1 2， 1 3 に接続する入出力端子）と、1 又はそれ以上の個数のエラー検出・訂正回路を有する。前記エラー検

出・訂正回路は前記入出力端子を介して入出力が行われるデータのエラー訂正を行う。前記制御回路は、アドレス代替機能を有し、前記入出力端子を介してのデータの入出力の制御を行ない、あるアドレスでのデータ入出力においてアクセスエラーが発生したとき、前記入出力端子を第2のビット幅毎のグループに分割し、アクセスエラーが生じたグループについてアドレスの代替を行なうものである。これによっても、上記複数の不揮発性メモリに対する並列アクセスの第1の点、上記メモリ単位に置き換える第2の点と同様の作用及び効果を得る。

## 【 0 0 1 8 】

## 【発明の実施の形態】

図1には本発明に係るメモリカードの一例が示される。メモリカード1は複数の不揮発性メモリ例えば2個のフラッシュメモリ2, 3と、DRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から成るデータバッファ4と、メモリ制御及び外部インタフェース制御を行うメモリコントローラ5とを、実装基板に備えて成る。

## 【 0 0 1 9 】

前記データバッファ4は、特に制限されないが、16ビットのデータ入出力用バッファバス10とアドレス及びアクセス制御バス11を介してメモリコントローラ5のアクセス制御を受ける。

## 【 0 0 2 0 】

フラッシュメモリ2は16ビットの入出力用フラッシュバスの上位8ビット（上位フラッシュバス）12に、フラッシュメモリ3は前記フラッシュバスの下位8ビット（下位フラッシュバス）13に接続され、メモリコントローラ5との間でデータ、アドレス信号、及びコマンドの入出力が可能にされる。14、15はメモリコントローラ5からフラッシュメモリ2, 3に別々に接続されるアクセス制御バスである。フラッシュメモリ2, 3は、夫々のフラッシュバス12, 13とアクセス制御バス14, 15を介してメモリコントローラ5により並列的にアクセス制御可能にされる。

## 【 0 0 2 1 】

尚、前記アクセス制御バス14, 15にはチップ選択信号、コマンドイネーブ

ル信号、出力イネーブル信号等が伝達され、出力イネーブル信号等の一部のストローブ信号はフラッシュメモリ 2, 3 の間で共通化することも可能である。

#### 【 0 0 2 2 】

前記フラッシュメモリ 2, 3 は同一の回路構成を有する。例えばフラッシュメモリ 2 の一例が図 2 に示される。同図においてメモリアレイ 2 0 は、メモリマツト、データラッチ回路及びセンスラッチ回路を有する。このメモリマツトは電氣的に消去及び書き込み可能な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタ（フラッシュメモリセルとも記す）は、特に図示はしないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートは対応するワード線 2 1 に、ドレインは対応するビット線 2 2 に、ソースは図示を省略するソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧（コントロールゲート印加電圧）に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。尚、書き込みと消去の定義は相対的な概念であるから上記とは逆に定義することも可能である。

#### 【 0 0 2 3 】

前記フラッシュバス 1 2 に接続されるフラッシュメモリ 2 の外部入出力端子 I / 0 0 ~ I / 0 7 は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子 I / 0 0 ~ I / 0 7 から入力された X アドレス信号はマルチプレクサ 2 4 を介して X アドレスバッファ 2 5 に供給される。X アドレスデコーダ 2 6 は X アドレスバッファ 2 5 から出力される内部相補アドレス信号をデコードしてワード線 2 1 を駆動する。

#### 【 0 0 2 4 】

前記ビット線 2 2 の一端側には、センスラッチ回路が設けられ、他端にはデータラッチ回路が設けられている。ビット線 2 2 は Y アドレスデコーダ 2 7 から出力される選択信号に基づいて Y スイッチアレイ 2 8 で選択される。外部入出力端子 I / O 0 ~ I / O 7 から入力された Y アドレス信号は Y アドレスカウンタ 2 9 にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記 Y アドレスデコーダ 2 7 に与えられる。

## 【 0 0 2 5 】

Y スイッチアレイ 2 8 で選択されたビット線は、データ出力動作時には出力バッファ 3 0 の入力端子に導通され、データ入力動作時には入力バッファ 3 1 を介してデータ制御回路 3 2 の出力端子に導通される。出力バッファ 3 0、入力バッファ 3 1 と前記入出力端子 I / O 0 ~ 7 との接続は前記マルチプレクサ 2 4 で制御される。入出力端子 I / O 0 ~ I / O 7 から供給されるコマンドはマルチプレクサ 2 4 及び入力バッファ 3 1 を介してモード制御回路 3 3 に与えられる。

## 【 0 0 2 6 】

制御信号バッファ回路 3 5 はアクセス制御信号として、チップイネーブル信号 / C E、出力イネーブル信号 / O E、書き込みイネーブル信号 / W E、シリアルクロック信号 S C、リセット信号 / R E S 及びコマンドイネーブル信号 / C D E を入力する。信号名の直前に記付された記号 / は当該信号がロー・イネーブルであることを意味する。モード制御回路 3 3 は、それら信号の状態に応じてマルチプレクサ 2 4 を介する外部との信号インタフェース機能などを制御する。入出力端子 I / O 0 ~ I / O 7 からのコマンド入力は前記コマンドイネーブル / C D E に同期される。データ入力はシリアルクロック S C に同期される。アドレス情報の入力はライトイネーブル信号 / W E に同期される。モード制御部 3 3 は、コマンドコードにより消去又は書込み動作の開始が指示されると、その期間、消去や書込み動作中を示すレディー・ビジー信号 R / B をアサートして外部に出力する。

## 【 0 0 2 7 】

内部電源回路（内部電圧発生回路） 3 6 は、書込み、消去、ベリファイ、読み出しなどのための各種内部電圧とされる動作電源 3 7 を生成して、前記 X アドレ



ステコーダ26及びメモリセルアレイ20等に供給する。

【0028】

前記モード制御回路33は、入力コマンドに従ってフラッシュメモリを全体的に制御する。フラッシュメモリ2の動作は、基本的にコマンドによって決定される。フラッシュメモリ2のコマンドには、読み出し、消去、書込み等の各コマンドがある。例えば読み出しコマンドは、読み出しコマンドコード、読み出しXアドレス、及び必要なYアドレスを含む。書込みコマンドは、書込みコマンドコード、Xアドレス、必要なYアドレス、及び書込みデータを含む。

【0029】

フラッシュメモリ2はその内部状態を示すためにステータスレジスタ38を有し、その内容は、信号/OEをアサートすることによって入出力端子I/O0～I/O7から読み出し可能にされる。

【0030】

図1において、前記メモリコントローラ5は、例えばホストコンピュータ（ホスト装置）6との間でIDEディスクインタフェース仕様などに従った外部インタフェース制御を行う。メモリコントローラ5は、ホストコンピュータからの指示に従って、フラッシュメモリ2、3をアクセスするアクセス制御機能を有する。このアクセス制御機能はハードディスク互換の制御機能であり、例えばホストコンピュータ6がセクタデータの集合をファイルデータとして管理するとき、メモリコントローラ5は論理アドレスとしてのセクタアドレスと物理メモリアドレスとを対応させてフラッシュメモリ2、3のアクセス制御を行う。このとき、前記メモリコントローラ5は、セクタデータの偶数番目のデータの記憶領域に一方のフラッシュメモリ2を割り当て、セクタデータの奇数番目のデータの記憶領域に他方のフラッシュメモリ3を割り当てる。そして、メモリコントローラ5は前記フラッシュメモリ2、3を並列にリード動作させ、また、並列に書き込み動作させる。メモリコントローラ5による上記並列アクセス制御機能により、メモリコントローラ5とフラッシュメモリ2、3との間のデータバス幅若しくはデータ転送並列ビット数が多くなり、フラッシュメモリとの間のデータ転送速度の高速化が実現できる。このアクセス制御機能にしたがってフラッシュメモリ2をアク

セスするときECC機能によりライトデータに対してエラーコードの付加、リードデータに対してエラー検出・訂正を行なう。更に上記アクセス制御機能にしたがってフラッシュメモリ2、3へ消去又は書き込みを行なうとき、ペリファイ動作で消去不良又は書き込み不良（アクセスエラー）が発生した場合には、当該不良領域を代替領域に代替させる代替制御機能を備える。

## 【0031】

図1に従えば、前記メモリコントローラ5は、ホストインタフェース回路40、演算制御手段としてのマイクロプロセッサ（MPU）41、メモリインタフェース回路としてのフラッシュインタフェース回路42、バッファコントローラ43、及びECC回路44を備える。前記MPU41、バッファコントローラ43、及びECC回路44はメモリコントローラ5の制御回路を構成する。

## 【0032】

MPU41は、CPU（Central Processing Unit）及びそのプログラムメモリ（PGM）などを有し、メモリコントローラ5を全体的に制御する。プログラムメモリはCPUの動作プログラムなどを保有する。

## 【0033】

前記ホストインタフェース回路40は、ATA（AT Attachment）、IDE（Integrated Device Electronics）、SCSI（Small Computer System Interface）等の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ6とインタフェースを行う回路である。ホストインタフェース動作の制御はアクセスバス45を介してMPU41が行う。上記プロトコルは公知であるから詳細な説明を省略する。

## 【0034】

前記バッファコントローラ43はアクセスバス46を介してMPU41から与えられるアクセス指示に従って、データバッファ4のメモリアクセス動作を制御する。データバッファ4にはホストインタフェース回路40に入力されたデータ、又はホストインタフェース回路40から出力するデータが一時的に保持される。また、データバッファ4には、フラッシュメモリ2、3から読み出されたデータ又はフラッシュメモリ2、3に書き込まれるデータが一時的に保持される。

## 【 0 0 3 5 】

フラッシュインタフェース回路 4 2 はアクセスバス 4 7 を介して M P U 4 1 から与えられるアクセス指示に従って、フラッシュメモリ 2、3 に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュインタフェース回路 4 2 は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報を出力し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報を出力し、消去動作において消去コマンド等の消去制御情報を出力する。前述の如く、フラッシュインタフェース回路 4 2 はフラッシュメモリ 2、3 に対する読み出し、書き込みのアクセス動作を並列に行う。要するに、リードデータの入力、書き込みコマンドコード及び書き込みデータの出力をフラッシュバス 1 2、1 3 を介して 1 6 ビット幅で行う。

## 【 0 0 3 6 】

E C C 回路 4 4 は、前記アクセス制御機能の一環として、アクセスバス 4 8 を介して M P U 4 1 から与えられる指示に従って、フラッシュメモリ 2、3 に書き込むデータに対してエラー訂正符号（エラー訂正コード）を生成して、書き込みデータに付加する。また、フラッシュメモリ 2、3 から読み出された読み出しデータを当該読み出しデータに付加されているエラー訂正符号を用いてエラー検出・訂正処理を行い、そのエラー訂正能力範囲のエラー発生に対してエラー訂正を行う。フラッシュインタフェース回路 4 2 と E C C 回路 4 4 は 8 ビットのデータバス 4 9 を介してデータ伝送を行う。この E C C 回路 4 4 は、フラッシュメモリ 2、3 が併せて 1 6 ビット幅で並列データ転送を行うという処理能力に追従するために、並列アクセス動作される前記フラッシュメモリ 2、3 の入出力動作周波数に対して並列アクセス動作の並列数倍即ち 2 倍の動作周波数で入出力動作を行なう。これにより、E C C 回路 4 4 のハードウェアを増大させずに、フラッシュバス 1 2、1 3 を介するデータアクセスの高速化に追従させてエラー検出コードの生成やエラー検出・訂正処理を高速化することができる。

## 【 0 0 3 7 】

図 3 にはフラッシュメモリ 2 の記憶領域が例示される。図 4 にはフラッシュメモリ 3 の記憶領域が例示される。フラッシュメモリ 2、3 の記憶領域は、ユー

ザデータエリア  $AreU$ 、代替エリア  $AreR$ 、及び代替管理エリア  $AreM$  に大別される。各エリア  $AreU$ 、 $AreR$ 、 $AreM$  は、特に制限されないが、夫々データ部  $PrtD$  と管理部  $PrtM$  に大別される所定フォーマットの領域を単位領域  $BLK$  として有する。フラッシュメモリ 2 の各単位領域  $BLK$  には便宜上その物理アドレスとしてセクタアドレス  $SA1$  ( $SA1(0) \sim SA1(99)$ ) が割り当てられる。フラッシュメモリ 3 の各単位領域  $BLK$  には便宜上その物理アドレスとしてセクタアドレス  $SA2$  ( $SA2(0) \sim SA2(99)$ ) が割り当てられる。

## 【0038】

前記ユーザデータエリア  $AreU$  は例えばユーザに開放されるデータ領域とされる。フラッシュメモリ 2 のデータ部  $PrtD$  は図 3 に例示されるようにセクタデータの偶数番目バイトのデータを保持し、フラッシュメモリ 3 のデータ部  $PrtD$  は図 4 に例示されるようにセクタデータの奇数番目バイトのデータを保持する。経時的にユーザデータエリア  $AreU$  で消去エラー又は書込みエラーを生じたとき、エラーを生じたユーザデータエリア  $AreU$  の単位領域  $BLK$  を代替するのに前記代替エリア  $AreR$  が用いられる。代替の単位は単位領域  $BLK$  を最小単位とする。

## 【0039】

例えば、図 3 のフラッシュメモリ 2 においてセクタアドレス  $SA1(n)$  のデータ部  $PrtD$  は、セクタデータ  $2n$  の偶数番目バイトのデータ（例えば 512 バイトの各バイトデータの内の偶数番目の 256 バイトデータ） $EvD(2n)$ 、前記セクタデータ  $2n$  の偶数番目バイトのデータに関するエラー検出コードとしての ECC 符号  $EvC(2n)$ 、セクタデータ  $2n+1$  の偶数番目バイトのデータ（例えば 512 バイトの各バイトデータの内の偶数番目の 256 バイトデータ） $EvD(2n+1)$ 、及び前記セクタデータ  $2n+1$  の偶数番目バイトのデータに関するエラー検出コードとしての ECC 符号  $EvC(2n+1)$  を含む。セクタアドレス  $SA1(n)$  の管理部  $PrtM$  はセクタアドレス  $n$  の管理情報として、良セクタコード、識別情報、その他管理情報、及び ECC 符号を有する。良セクタコードはセクタアドレス  $SA1(n)$  の良又は不良を示すコードデータ

である。識別情報は対応するデータ部がユーザデータ、代替済み、空き、又は代替エリア管理エリアの何れに属するかを示すコードデータとされる。その他の管理情報は特に定めなくてもよい。ECC符号は良セクタコード、識別情報、その他管理情報に対するエラー検出・訂正用の冗長情報とされる。

## 【0040】

図4のフラッシュメモリ3においてセクタアドレスSA2(n)のデータ部Pr t Dは、セクタデータ2nの奇数番目バイトのデータ（例えば512バイトの各バイトデータの内の奇数番目の256バイトデータ）Od D(2n)、前記セクタデータ2nの奇数番目バイトのデータに関するエラー検出コードとしてのECC符号Ev C(2n)、セクタデータ2n+1の奇数番目バイトのデータ（例えば512バイトの各バイトデータの内の奇数番目の256バイトデータ）Od D(2n+1)、及び前記セクタデータ2n+1の奇数番目バイトのデータに関するエラー検出コードとしてのECC符号Od C(2n+1)を含む。フラッシュメモリ3の管理部Pr t Mが保有する管理情報は図3のフラッシュメモリと同様の意義を有する。

## 【0041】

代替管理エリアAr e Mは、特に制限されないが、ユーザデータエリアAr e Uの単位領域B L Kに対応する不良登録データを代替エリア管理テーブルとして有する。個々の不良登録データは代替先の単位領域のアドレスを特定する代替先アドレス情報とされる。例えば図5にはフラッシュメモリ2における代替エリア管理テーブルが例示され、一つの不良登録データは2バイトとされ、セクタアドレス毎に不良登録データ領域が割り当てられ、不良登録データはF F F F hによって代替不要を意味し、代替を要するときは代替先セクタアドレスのコードが保持される。図5の例は、図3においてフラッシュメモリ2のセクタアドレスSA1(1)における不良をセクタアドレスSA1(90)で代替する場合を示している。フラッシュメモリ3における代替エリア管理テーブルを示す図6の例は、図4においてフラッシュメモリ3のセクタアドレスSA2(n)における不良をセクタアドレスSA2(90)で代替する場合を示している。図5及び図6の例からも明らかなように、不良登録データと単位領域B L Kとの対応は一对一对応

とされる。したがって、単位領域 B L K の物理アドレスに基づいてアドレス演算を行うことにより、対応する不良登録データを得ることができる。

#### 【 0 0 4 2 】

前記メモリコントローラ 5 は、代替制御ではアクセスエラーを生じたフラッシュメモリ毎に記憶領域を代替可能にする。要するに、一つのセクタデータを偶数バイトと奇数バイトに分けて 2 個のフラッシュメモリ 2, 3 に分散配置させたとき、フラッシュメモリ 2, 3 毎に、代替制御の為の代替エリア管理テーブルを持たせる。例えば、セクタデータの偶数番目バイトのデータでアクセスエラーを生じたときはフラッシュメモリ 2 における当該偶数番目バイトのデータのセクタアドレスを代替エリアの別のセクタアドレスで代替させ、アクセスエラーを生じていない奇数番目バイトのデータにはフラッシュメモリ 3 の元々のセクタアドレスを割当てる。このように、フラッシュメモリ 2, 3 を代替制御する為のエリア管理を夫々のフラッシュメモリ 2, 3 毎に行うから、不良アドレスに対する代替領域を効率良く利用でき、代替に際して記憶領域の無駄を低減でき、メモリカード 1 の寿命を延ばすことが可能になる。要するに、一つのセクタデータを複数のフラッシュメモリ 2, 3 に分散配置したとき、セクタデータ単位の代替を行えば、各フラッシュメモリ 2, 3 で一つずつ代替セクタアドレスを費やすことになり、そのような無駄を省いている。

#### 【 0 0 4 3 】

図 7 及び図 8 にはセクタデータの書込み動作手順が例示される。ホストコンピュータ 6 がメモリカード 1 に論理アドレスとライトコマンドを発行すると (S 1)、ホストインタフェース回路 4 0 はライトコマンドが発行されたことを MPU 4 1 の CPU に通知すると共に、ホストコンピュータ 6 にセクタライトデータの入力準備が完了したこと (データ入力レディー状態) を通知する。これによってホストコンピュータ 6 から供給されるセクタデータがホストインタフェース回路 4 0 に入力され、入力されたセクタライトデータがバッファコントローラ 4 3 を介してデータバッファ 4 に格納される (S 2)。MPU 4 1 の CPU はホストコンピュータ 6 から与えられた論理アドレスをフラッシュメモリ 2, 3 の物理アドレスであるセクタアドレス S A 1, S A 2 に変換し、フラッシュインタフェース

回路 4 2 を介して当該セクタアドレス S A 1, S A 2 の管理部 P r t M の管理情報をリードさせ、リードした管理情報をバッファコントローラ 4 3 を介してデータバッファ 4 にストアする (S 3)。M P U 4 1 の C P U はストアされたセクタアドレス S A 1 の管理情報に対する E C C 結果が O K であるとき、そのセクタアドレス S A 1 の管理情報に含まれる良セクタコードに基づいて当該セクタの良否を判定する (S 4)。判別結果が不良セクタ又は E C C による訂正不能なエラー発生 (E C C = N G) であるなら、代替先アドレスの検索処理が行われる (S 5)。判別結果が良セクタ及び E C C による訂正不能なエラー無し (E C C = O K) であるなら、今度は、ストアしたセクタアドレス S A 2 の管理情報に含まれる良セクタコードの E C C と該セクタの良否とを判定する (S 6)。判別結果が不良セクタ又は E C C による訂正不能なエラー発生 (E C C = N G) であるなら、代替先アドレスの検索処理が行われる (S 7)。尚、セクタアドレス S A 1, S A 2 を別のセクタアドレスに代替した場合も当該代替先セクタアドレスを便宜上セクタアドレス S A 1, S A 2 と称する。

## 【 0 0 4 4 】

次いで、M P U 4 1 の C P U は、フラッシュメモリ 2 のセクタアドレス S A 1 及びフラッシュメモリ 3 のセクタアドレス S A 2 に対して消去動作を開始させる (S 8)。消去動作に並行して M P U 4 1 の C P U はホストコンピュータ 6 からデータバッファ 4 に書込みセクタデータが転送されたか否かを判定する (S 9)。M P U 4 1 の C P U は夫々のフラッシュメモリ 2, 3 に対して消去チェック処理を行う (S 1 0, S 1 1)。消去チェック処理の後、M P U 4 1 の C P U はバッファコントローラ 4 3 とフラッシュインタフェース回路 4 2 とを介してデータバッファ 4 からフラッシュメモリ 2, 3 に書込みセクタアドレス S A 1, S A 2 及び書込みセクタデータ等を転送し、転送後に、フラッシュメモリ 2, 3 の書込み (プログラム) 動作を開始させる (S 1 2)。プログラム動作の開始後、C P U はフラッシュメモリ 2, 3 に対するプログラムチェック処理を行う (S 1 3, S 1 4)。

## 【 0 0 4 5 】

図 9 には前記 S 5, S 7 の代替先アドレス検索処理手順が例示される。先ず、

MPU41のCPUは処理対象とするフラッシュメモリ（処理S5の場合にはフラッシュメモリ2、処理S7の場合にはフラッシュメモリ3）の代替管理エリアAreMの管理情報をデータバッファ4にストアさせる（S20）。CPUはその管理情報に対するECC結果がOKであるとき、その管理情報に含まれる良セクタコードに基づいて当該セクタの良否を判定する（S21）。判別結果が不良セクタ又はECCによる訂正不能なエラー発生（ECC=NG）であるなら、CPUはホストコンピュータ6にエラー発生を通知して、ライトコマンドに対する処理を終了する（S22）。判別結果が良セクタ及びECCによる訂正不能なエラー無し（ECC=OK）であるなら、CPUは今度は、当該代替管理エリアAreMの代替エリア管理テーブルをデータバッファ4へストアする（S23）。CPUはデータバッファ4にストアされた代替エリア管理テーブルから、対応する領域に格納されている代替先アドレスをリードし、これを代替されたセクタアドレスSA1又はSA2として採用する（S24）。

## 【0046】

図10には前記S10、S11のフラッシュメモリの消去チェック処理の手順が例示される。消去動作が開始されると、フラッシュメモリ2（3）は消去対象メモリセルに消去電圧を印加しながらベリファイを繰返す動作を一定期間行う。MPU41のCPUはフラッシュメモリ2（3）の消去動作が終了したか否かを判別する（S30）。消去動作の終了結果は、消去対象メモリセルの全てが消去状態の閾値電圧状態に到達する状態と、到達しない消去エラー状態であり、CPUはその結果をフラッシュメモリ2（3）のステータスレジスタをリードして判定する（S31）。消去エラーの場合、CPUは代替先アドレス検索処理を行い（S32）、フラッシュメモリ2（3）の代替先セクタアドレスに対して消去動作を開始させ、再度ステップS30の処理に戻る。ステップS32の代替先アドレス検索処理では、代替エリアAreRの管理情報を、セクタアドレスの小さい方から順次読み出し、最初に見つけた空きを代替先アドレスとする。消去エラーが発生しない場合にはステップS32およびS33によって代替が発生したかをチェックし（S34）、代替が発生した場合には、代替エリア管理テーブルに、新規の代替先アドレスを登録し（S35）、代替が発生していない場合には消去



チェック処理を終了する。

【 0 0 4 7 】

図 1 1 には前記 S 1 3, S 1 4 のフラッシュメモリのプログラムチェック処理の手順が例示される。プログラム動作が開始されると、フラッシュメモリ 2 ( 3 ) はプログラム対象メモリセルに書き込み電圧を印加しながらベリファイを繰返す動作を一定期間行う。MPU 4 1 の CPU はフラッシュメモリ 2 ( 3 ) の書き込み動作が終了したか否かを判別する ( S 4 0 ) 。プログラム動作の終了結果は、プログラム対象メモリセルの全てが書き込み状態の閾値電圧状態に到達する状態と、到達しないプログラムエラー状態であり、CPU はその結果をフラッシュメモリ 2 ( 3 ) のステータスレジスタをリードして判定する ( S 4 1 ) 。プログラムエラーの場合、CPU は代替先アドレス検索処理を行い ( S 4 2 ) 、フラッシュメモリ 2 ( 3 ) の代替先セクタアドレスに対して消去動作を開始させ、その消去対象エリアに対して図 1 0 の消去チェック処理を行う ( S 4 4 ) 。S 4 2 の代替先アドレス検索処理は、図 1 0 の S 3 2 と同様に、代替エリア A r e R の管理情報を順次読み出し、空きの単位領域 B L K を代替先アドレスとする。消去チェック処理が正常終了したとき、MPU 4 1 の CPU は再び、バッファコントローラ 4 3 とフラッシュインタフェース回路 4 2 を介してデータバッファ 4 からフラッシュメモリ 2 ( 3 ) に書き込み書き込みセクタデータ等の転送を指示し、転送後に、フラッシュメモリ 2 ( 3 ) の書き込み ( プログラム ) 動作を開始させる ( S 4 5 ) 。開始されたプログラム動作に対して CPU の処理が前記ステップ S 4 0 に戻される。フラッシュメモリへのプログラムが正常終了した後 ( S 4 1 の N o ) 、ステップ S 4 2 ~ S 4 5 によって代替が発生したかをチェックし ( S 4 6 ) 、代替が発生した場合には、代替エリア管理テーブルに新規の代替先アドレスを登録し ( S 4 7 ) 、代替が発生していない場合には、プログラムチェック処理を終了する。

【 0 0 4 8 】

図 1 2 及び図 1 3 にはホストコンピュータによるセクタデータのリード動作手順が例示される。ホストコンピュータ 6 がメモリカード 1 に論理アドレスとリードコマンドを発行すると ( S 5 0 ) 、ホストインタフェース回路 4 0 はリードコ

マンドが発行されたことをMPU41のCPUに通知する(S51)。MPU41のCPUはホストコンピュータ6から与えられた論理アドレスをフラッシュメモリ2,3の物理アドレスであるセクタアドレスSA1,SA2に変換し、フラッシュインタフェース回路42を介して当該セクタアドレスSA1,SA2の管理部Pr t Mの管理情報をリードさせ、リードした管理情報をバッファコントローラ43を介してデータバッファ4にストアする(S52)。MPU41のCPUはストアされたセクタアドレスSA1の管理情報に対するECC結果がOKであるとき、そのセクタアドレスSA1の管理情報に含まれる良セクタコードに基づいて当該セクタの良否を判定する(S53)。判別結果が不良セクタ又はECCによる訂正不能なエラー発生(ECC=NG)であるなら、CPUはフラッシュメモリ2の代替管理エリアAr e Mの代替エリア管理テーブルをデータバッファ4へストアする(S54)。CPUはデータバッファ4にストアされた代替エリア管理テーブルから、対応する領域に格納されている代替先アドレスをリードし、これを代替されたセクタアドレスSA1として採用する(S55)。この代替先セクタアドレスSA1に対してCPUはそのアドレスSA1の管理情報をデータバッファ4へストアする(S56)。ストアされたMPU41のCPUはストアされたセクタアドレスSA1の管理情報に対するECC結果がOKであるとき、そのセクタアドレスSA1の管理情報に含まれる良セクタコードに基づいて当該セクタの良否を判定する(S57)。判別結果が不良セクタ又はECCによる訂正不能なエラー発生(ECC=NG)であるなら、CPUはホストコンピュータ6にエラー応答を行って(S58)、処理を終了する。

## 【0049】

前記処理S53又はS57の処理結果が良セクタ及びECCによる訂正不能なエラー発生無(ECC=OK)である時は、フラッシュメモリ3に対して、上記処理S53～S57の処理を行う(S59～S63)。

## 【0050】

フラッシュメモリ3に対して前記処理S59又はS63の処理結果が不良セクタ及びECC=OKであるとき、MPU41のCPUは、フラッシュインタフェース回路42を介して夫々のフラッシュメモリ2,3のセクタアドレスSA1

、S A 2 からセクタデータを並列リードさせ、リードデータに対してE C C 回路 4 4 でエラー検出・訂正処理を実行させ、エラー検出・訂正処理を経たリードデータを、バッファコントローラ 4 3 を介してデータバッファ 4 にストアさせる（S 6 5）。このリード転送の終了を検出すると（S 6 5）、セクタリードデータに対してE C C エラーが生じているかを判別し（S 6 6）、E C C エラーを生じている場合にはホストコンピュータ 6 にエラー応答を行ってリード処理を終了する。E C C エラーを生じていない場合には、C P U はホストインタフェース回路 4 0 を介してホストコンピュータ 6 にデータ転送レディ状態を通知して、セクタデータを出力する（S 6 7）。ホストコンピュータ 6 はそのセクタデータをリードする（S 6 8）。

#### 【 0 0 5 1 】

図 1 4 にはデータバッファからフラッシュメモリへ一つのセクタデータを転送するときの転送タイミングが例示される。セクタデータはD 0 ~ D 5 1 1 の 5 1 2 バイトとされ、偶数バイトD 0, D 2, ..., D 5 1 0 がバッファバスの上位 8 ビットに、奇数バイトD 1, D 3, ..., D 5 1 1 がバッファバスの下位 8 ビットに割当てられる。データバッファ 4 からバッファコントローラ 4 3 に 1 6 ビットのバッファバス 1 0 で転送されたセクタデータはE C C 回路 4 4 に供給される。E C C 回路のバス幅は 8 ビット幅なので、バッファからの 1 回の読み出しに対して、2 回に分けて 1 バイトずつE C C 回路 4 4 に入力する。例えば、t W 1 においてデータバッファ 4 から読み出したD 0 とD 1 のデータは、t W 2 においてD 0 に続いてD 1 の順でE C C 回路 4 4 に入力している。この時のE C C バス 4 9 上でのデータ転送動作周波数はバッファバス 1 0 上のデータ転送動作周波数の 2 倍にされている。これに並行してフラッシュインタフェース回路 4 2 からフラッシュメモリ 2, 3 にもセクタデータが供給される。フラッシュバス 1 2, 1 3 はバッファバス 1 0 と同じ 1 6 ビットであるからデータバッファ 4 からのデータ転送動作周波数と同じ動作周波数でフラッシュメモリにセクタデータが転送される。データバッファ 4 から一つのセクタデータの読み出しが終了し（t W 4）、E C C 回路 4 4 に一つのセクタデータの inputs が完了すると（t W 5）、E C C 回路 4 4 には一つのセクタデータに対するE C C 符号が生成されている。最後に、E

CC回路44からECC符号(E-0, E-1)を読み出し(tW6)、フラッシュメモリにECC符号を転送する(tW7)。ECC回路44で生成されたECCコードがフラッシュインタフェース回路42に供給されるときデータの転送動作周波数も同様に2倍にされている。フラッシュインタフェース回路42からフラッシュメモリ2, 3には、ECC符号E-0, E-1は並列に供給される。

## 【0052】

図15にはフラッシュメモリからデータバッファ4に一つのセクタデータを転送するときの転送タイミングが例示される。フラッシュメモリ2, 3から2バイト並列でフラッシュバス12, 13に読み出されたデータD0, D1, ... E-0, E-1は、フラッシュインタフェース回路42からECCバス49経由で1バイト単位に順次ECC回路44に入力される。例えば、サイクルtR1においてフラッシュメモリ2, 3から読み出されたデータD0, D1は、サイクルtR2においてD0に続いてD1の順でECC回路44に入力される。また、フラッシュメモリ2, 3から2バイト並列で順次読み出されたデータは、バッファバス10を介して2バイト並列のままデータバッファ4にストアされる。サイクルtR6において、ECC符号がECC回路44に転送された時点で、ECC回路44では、フラッシュメモリ2, 3からリードしたデータに対するエラー検出が完了する。

## 【0053】

図14及び図15より明らかなように、ECCバス49上でのデータ転送動作周波数はバッファバス10上のデータ転送動作周波数の2倍にされているから、フラッシュメモリ2, 3の並列アクセスによる動作の高速化に対してECC回路44の動作を追従させることができる。

## 【0054】

図16には本発明に係るメモリカードの第2の例が示される。図1のメモリカードとの相違点は、メモリコントローラ5が2個のECC回路44A, 44Bを有し、夫々別々に8ビットのECCバス49A, 49Bでフラッシュインタフェース回路42に接続されていることである。第1のECC回路44Aは、フラッシュメモリへのライト時に、第1のフラッシュメモリ2に格納されるセクタデー

タの偶数番目バイトのデータに対するECC符号を生成する。フラッシュメモリからのリード時には、第1のフラッシュメモリ2から読み出されるセクタデータの偶数番目バイトのデータと生成されたECC符号からエラー検出を行い、エラーがあった場合にはエラー訂正を行う。セクタデータ及びECC符号の転送はECCバス49Aを介して行う。

## 【0055】

第2のECC回路44Bは、フラッシュメモリへのライト時に、第2のフラッシュメモリ3に格納されるセクタデータの奇数番目バイトのデータに対するECC符号を生成する。フラッシュメモリからのリード時には、第2のフラッシュメモリ3から読み出されるセクタデータの奇数番目バイトのデータと生成されたECC符号からエラー検出を行い、エラーがあった場合にはエラー訂正を行う。セクタデータ及びECC符号の転送はECCバス49Bを介して行う。その他の構成は図1と同じであるからその詳細な説明は省略する。

## 【0056】

図17には図16のメモリカードにおいてデータバッファからフラッシュメモリへ一つのセクタデータを転送する動作タイミングが例示される。

## 【0057】

バッファバス10にはデータバッファ4から2バイト並列でセクタデータが読み出される。データバッファ4から読み出された偶数番目バイトのデータD0, D2, ..., D510は第1のECCバス49Aから第1のECC回路44Aへ入力される。同様に、データバッファ4から読み出された奇数番目バイトのデータD1, D3, ..., D511は第2のECCバス49Bから第2のECC回路44Bへ入力される。要するに、図14のように、ECCバス49A, 49B上のデータ転送動作周波数を2倍に高速化することを要しない。但しECC回路のハードウェア量は2倍になる。第1のECC回路44Aではセクタデータの偶数番目バイトのデータに対するECC符号E-Aが生成される。第2のECC回路44Bではセクタデータの奇数番目バイトのデータに対するECC符号E-Bが生成される。生成されたECC符号はセクタデータの後に、フラッシュバス12, 13を介して2バイト並列にフラッシュメモリ2, 3に供給される。

## 【 0 0 5 8 】

図 1 8 には図 1 6 のメモリカードにおいてフラッシュメモリからデータバッファへ一つのセクタデータを転送する動作タイミングが例示される。フラッシュメモリ 2、3 から 2 バイト並列でフラッシュバス 1 2，1 3 に読み出される。フラッシュメモリ 2 から読み出された偶数番目バイトのデータは第 1 の ECC バス 4 9 A を経て第 1 の ECC 回路 4 4 A に入力され、セクタデータの偶数番目バイトのデータに対するエラー検出が第 1 の ECC 回路 4 4 A で行われる。同様に、第 2 のフラッシュメモリ 3 から読み出された奇数番目バイトのデータは第 2 の ECC バス 4 9 B を経て第 2 の ECC 回路 4 4 B に入力され、セクタデータの奇数番目バイトのデータに対するエラー検出が第 2 の ECC 回路 4 4 B で行われる。前記フラッシュメモリ 2，3 から読み出されたセクタデータは 2 バイト並列にバッファバス 1 0 を介してデータバッファ 4 にもストアされる。

## 【 0 0 5 9 】

図 1 9 には本発明に係るメモリカードの第 3 の例が示される。図 1 のメモリカードとの相違点は、バッファバス 1 0 A が 8 ビット幅になったことである。その他の構成は図 1 と同じであるからその詳細な説明は省略する。

## 【 0 0 6 0 】

図 2 0 には図 1 9 のメモリカードにおいてデータバッファ 4 からフラッシュメモリ 2，3 へ一つのセクタデータを転送する動作タイミングが示される。データバッファ 4 からバッファバス 1 0 A へのデータ読み出しは 8 ビット幅で行われる。データバッファ 4 から読み出されたセクタデータは、同じく 8 ビット幅で ECC バス 4 9 から ECC 回路 4 4 に入力され、ECC 符号 E - 0，E - 1 が生成される。また、データバッファ 4 から読み出されたセクタデータは、1 サイクル送れたタイミングで、偶数番目バイトのセクタデータが上位フラッシュバス 1 2 を経由してフラッシュメモリ 2 に、奇数番目バイトのセクタデータが下位フラッシュバス 1 3 を経由してフラッシュメモリ 3 に、並列に供給される。夫々 8 ビット幅のバッファバス 1 0 A 及び ECC バス 4 9 上でのデータ転送動作周波数は 1 6 ビットのバス幅を有するフラッシュバス 1 2，1 3 上でのデータ転送動作周波数の 2 倍になっている。

## 【 0 0 6 1 】

図 2 1 には図 1 9 のメモリカードにおいてフラッシュメモリからデータバッファへ一つのセクタデータを転送する動作タイミングが例示される。フラッシュメモリ 2, 3 からフラッシュバス 1 2, 1 3 にバイト並列で読み出されたセクタデータは、8 ビットの ECC バス 4 9 を通って ECC 回路 4 4 に供給され、エラー検出処理が行われ、これに並行して、8 ビットのバッファバス 1 0 A からデータバッファ 4 に書き込まれる。夫々 8 ビット幅のバッファバス 1 0 A 及び ECC バス 4 9 上でのデータ転送動作周波数は 1 6 ビットのバス幅を有するフラッシュバス 1 2, 1 3 上でのデータ転送動作周波数の 2 倍になっている。

## 【 0 0 6 2 】

以上説明したメモリカード 1 のメモリコントローラ 5 によれば、セクタデータの偶数番目バイトのデータの記憶領域にフラッシュメモリ 2 を割り当て、セクタデータの奇数番目バイトのデータの記憶領域にフラッシュメモリ 3 を割り当て、ホストコンピュータ 6 からのアクセスコマンドに応答するフラッシュメモリのアクセス制御では、2 個のフラッシュメモリ 2, 3 を並列にリード動作させ、また、並列に書き込み動作させる。このフラッシュメモリ 2, 3 に対する並列アクセスにより、メモリコントローラ 5 とフラッシュメモリ 2, 3 との間のデータバス幅若しくはデータ転送並列ビット数が多くなり、フラッシュメモリ 2, 3 との間のデータ転送速度の高速化を実現することができる。

## 【 0 0 6 3 】

前記メモリコントローラ 5 は、前記代替制御ではアクセスエラーを生じたフラッシュメモリ毎に記憶領域を代替可能にする。したがって、不良アドレスに対する代替領域を効率良く利用でき、代替に際して記憶領域の無駄を低減でき、メモリカード 1 の寿命を延ばすことに寄与することができる。

## 【 0 0 6 4 】

図 1 の前記メモリコントローラ 5 が備える ECC 回路 4 4 は、前記並列アクセス動作されるフラッシュメモリ 2, 3 の入出力動作周波数に対して 2 倍の動作周波数で入出力動作を行なう。したがって、ECC 回路 4 4 の数を増やすことなくエラー検出コードの生成やエラー検出・訂正処理の高速化を実現できる。また、

図16のように、フラッシュメモリ2, 3の数と同じ数のECC回路44A, 44Bを設ければ、ECC回路44A, 44Bの動作周波数を上げることなく、フラッシュメモリ2, 3の入出力動作周波数に等しい動作周波数でECC動作を行えば済むようになる。これらにより、前記メモリコントローラ5は、フラッシュメモリ2, 3との間のデータ転送効率の向上にECC回路の動作を追従させることができる。このように、メモリコントローラ5が複数のフラッシュメモリ2, 3を並列アクセスして高速にデータをリードしたとき、そのリードデータに対してエラー検出・訂正処理を行なうECC回路44の動作を追従させることができ、また、書き込みデータに付加すべきエラー検出コードの生成動作を高速化できるから、メモリカード全体としてのアクセスの高速化を実現することができる。

## 【0065】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

## 【0066】

例えば、複数個の不揮発性メモリとは2個のフラッシュメモリチップに限定されない。1個とは物理的に1個のメモリチップを意味すだけでなく、複数個のメモリチップの集合であってもよい。例えば3nビットのデータバスに対し、下位側からnビット単位でフラッシュメモリチップのデータ入出力端子を接続して3個のフラッシュメモリチップで1群のフラッシュメモリを構成し、そのようなメモリチップ群を複数群採用して、複数個の不揮発性メモリを構成してもよい。フラッシュメモリは3個又は3群以上のフラッシュメモリチップによって構成してもよい。不揮発性メモリはフラッシュメモリに限定されず、高誘電体メモリであってもよい。

## 【0067】

フラッシュバス、バッファバス、ECCバスのビット数は上記の例に限定されず適宜のビット数に変更可能である。

## 【0068】



また、メモリコントローラは1チップに限定されず、MPUを別チップで構成してもよい。また、メモリコントローラとデータバッファを単一半導体チップに形成してもよい。更に、メモリコントローラ、データバッファ、及びフラッシュメモリを同一チップに形成してもよい。

## 【0069】

フラッシュメモリとECC回路との間におけるアクセス周波数及びデータ入出力端子数の関係については、上記の例に限定されず、以下の関係を満足させてメモリカードを構成してもよい。即ち、複数のフラッシュメモリは夫々第1のビット幅 $W1$ の入出力端子を有し、アクセス周波数 $F1$ でアクセス可能である。前記バスは、 $W1 \times m$ のビット幅を有し、 $m$ 個のフラッシュメモリの入出力端子に並列に接続される。ECC回路は、ビット幅 $W2$ のデータについてエラー検出・訂正が可能である。前記ECC回路の動作周波数 $F2$ は、 $F2 \geq (F1 \times W1 \times m) / (W2 \times n)$ の関係を満足する。これにより、フラッシュメモリとの間の並列アクセスによるデータ転送効率の向上にECC回路の動作を追従させるという作用及び効果を得る。

## 【0070】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

## 【0071】

すなわち、メモリコントローラは、外部からのアクセス指示に応答する不揮発性メモリのアクセス制御では前記複数の不揮発性メモリを並列アクセス動作させるから、メモリコントローラと不揮発性メモリとの間のデータバス幅若しくはデータ転送並列ビット数を多くでき、不揮発性メモリとの間のデータ転送速度の高速化を実現することができる。

## 【0072】

前記メモリコントローラは、アクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御ではアクセスエラーを生じた不揮発性メモリ毎に記憶領域を代替可能にする。したがって、不良アドレスに対する代替領域

を効率良く利用でき、代替に際して記憶領域の無駄を低減でき、メモ리카ードの寿命を延ばすことに寄与することができる。

#### 【 0 0 7 3 】

複数の不揮発性メモリに対する並列アクセスを可能にする構成に対し、エラー検出・訂正回路のデータ入出力動作周波数を通倍し、或はエラー検出・訂正回路それ自体の数を増やす。これにより、メモリコントローラが複数の不揮発性メモリを並列アクセスして高速にデータをリードしたとき、そのリードデータに対してエラー検出・訂正処理を行なう ECC 回路の動作を追従させることができ、また、書き込みデータに付加すべきエラー検出コードの生成動作を高速化できる。したがって、メモ리카ード全体としてのアクセスの高速化を実現することができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明に係るメモ리카ードの一例を示すブロック図である。

##### 【図 2】

フラッシュメモリの一例を示すブロック図である。

##### 【図 3】

一方のフラッシュメモリの記憶領域を例示する説明図である。

##### 【図 4】

他方のフラッシュメモリの記憶領域を例示する説明図である。

##### 【図 5】

一方のフラッシュメモリにおける代替エリア管理テーブルを例示する説明図である。

##### 【図 6】

他方のフラッシュメモリにおける代替エリア管理テーブルを例示する説明図である。

##### 【図 7】

セクタデータの書き込み動作手順について一部を例示するフローチャートである。

【図 8】

セクタデータの書込み動作手順について残りを例示するフローチャートである。

【図 9】

代替先アドレス検索処理手順について例示するフローチャートである。

【図 10】

フラッシュメモリの消去チェック処理手順について例示するフローチャートである。

【図 11】

フラッシュメモリのプログラムチェック処理手順について例示するフローチャートである。

【図 12】

ホストコンピュータによるセクタデータのリード動作手順について一部を例示するフローチャートである。

【図 13】

ホストコンピュータによるセクタデータのリード動作手順について残りを例示するフローチャートである。

【図 14】

データバッファからフラッシュメモリへ一つのセクタデータを転送するときの転送タイミングを例示するタイミングチャートである。

【図 15】

フラッシュメモリからデータバッファに一つのセクタデータを転送するときの転送タイミングを例示するタイミングチャートである。

【図 16】

本発明に係るメモリカードの第 2 の例を示すブロック図である。

【図 17】

図 16 のメモリカードにおいてデータバッファからフラッシュメモリへ一つのセクタデータを転送する動作タイミングを例示するタイミングチャートである。

【図 18】

図 1 6 のメモリカードにおいてフラッシュメモリからデータバッファへ一つのセクタデータを転送する動作タイミングを例示するタイミングチャートである。

【図 1 9】

本発明に係るメモリカードの第 3 の例を示すブロック図である。

【図 2 0】

図 1 9 のメモリカードにおいてデータバッファからフラッシュメモリへ一つのセクタデータを転送する動作タイミングを示すタイミングチャートである。

【図 2 1】

図 1 9 のメモリカードにおいてフラッシュメモリからデータバッファへ一つのセクタデータを転送する動作タイミングを示すタイミングチャートである。

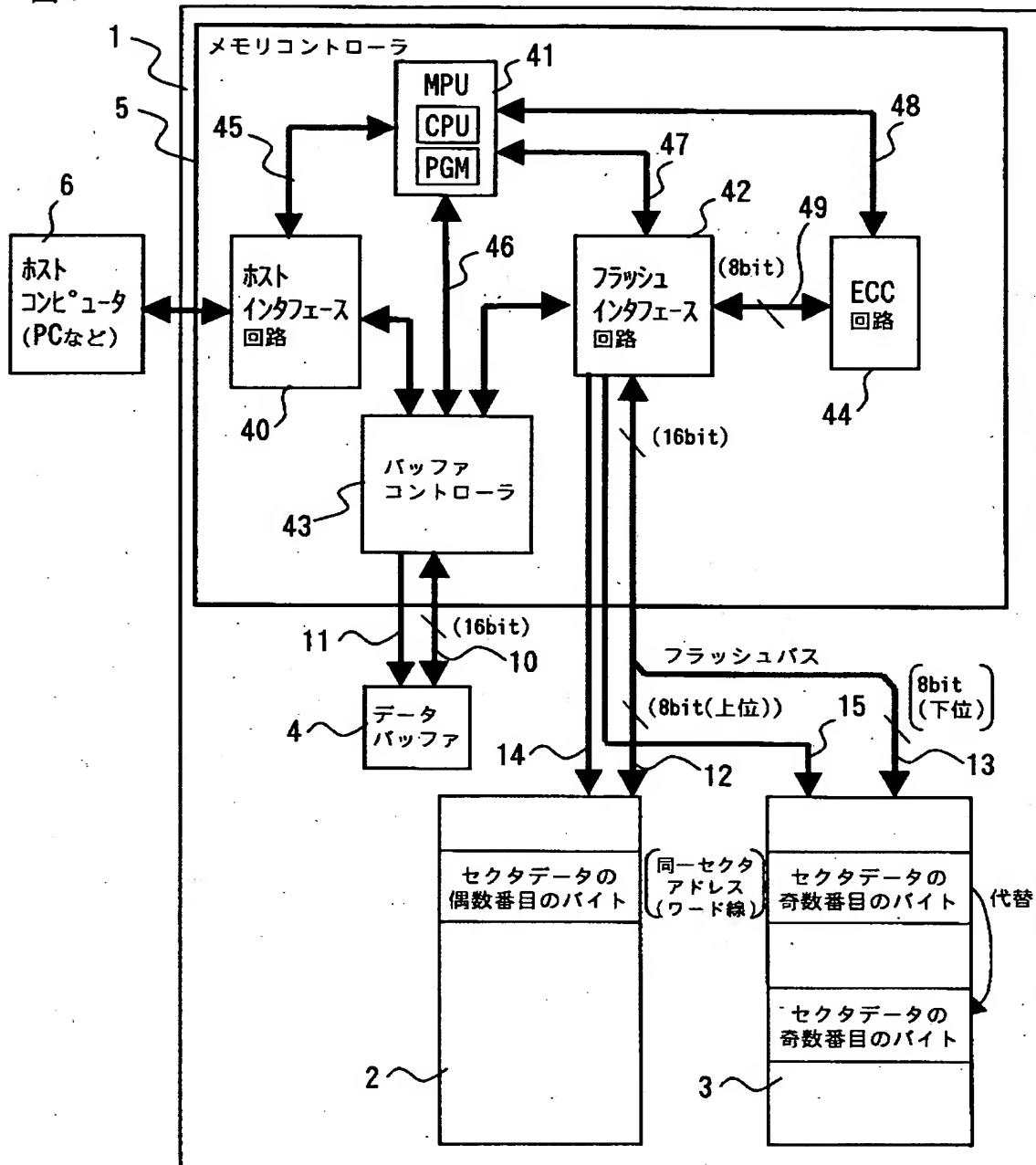
【符号の説明】

- 1   メモリカード
- 2、3   フラッシュメモリ
- 4   データバッファ
- 5   メモリコントローラ
- 1 0   バッファバス
- 1 2   フラッシュバス上位
- 1 3   フラッシュバス下位
- 4 0   ホストインタフェース回路
- 4 1   マイクロプロセッサ
- 4 2   フラッシュインタフェース回路
- 4 3   バッファコントローラ
- 4 4   ECC回路
- 4 9   ECCバス

【書類名】 図面

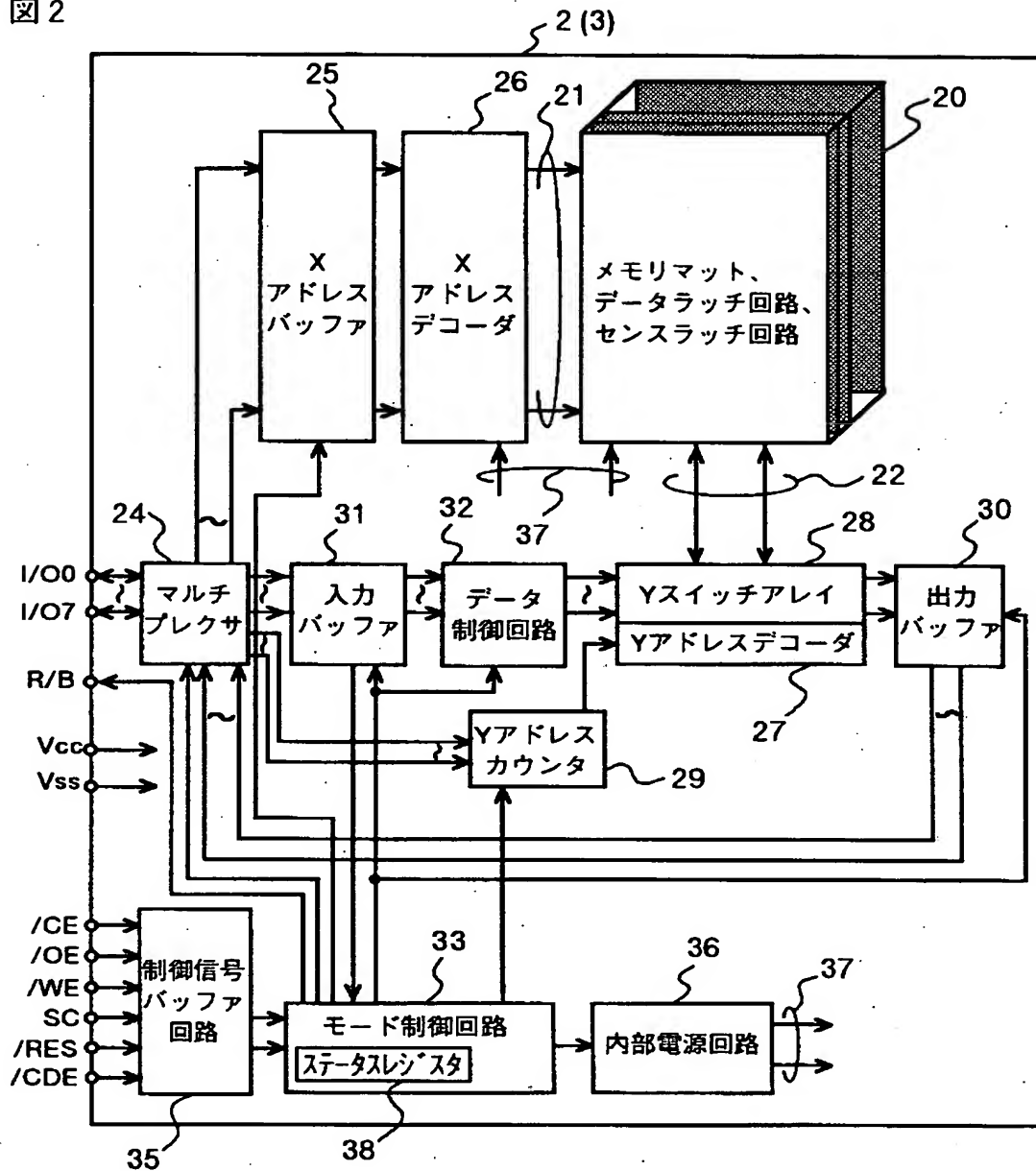
【图 1】

图 1

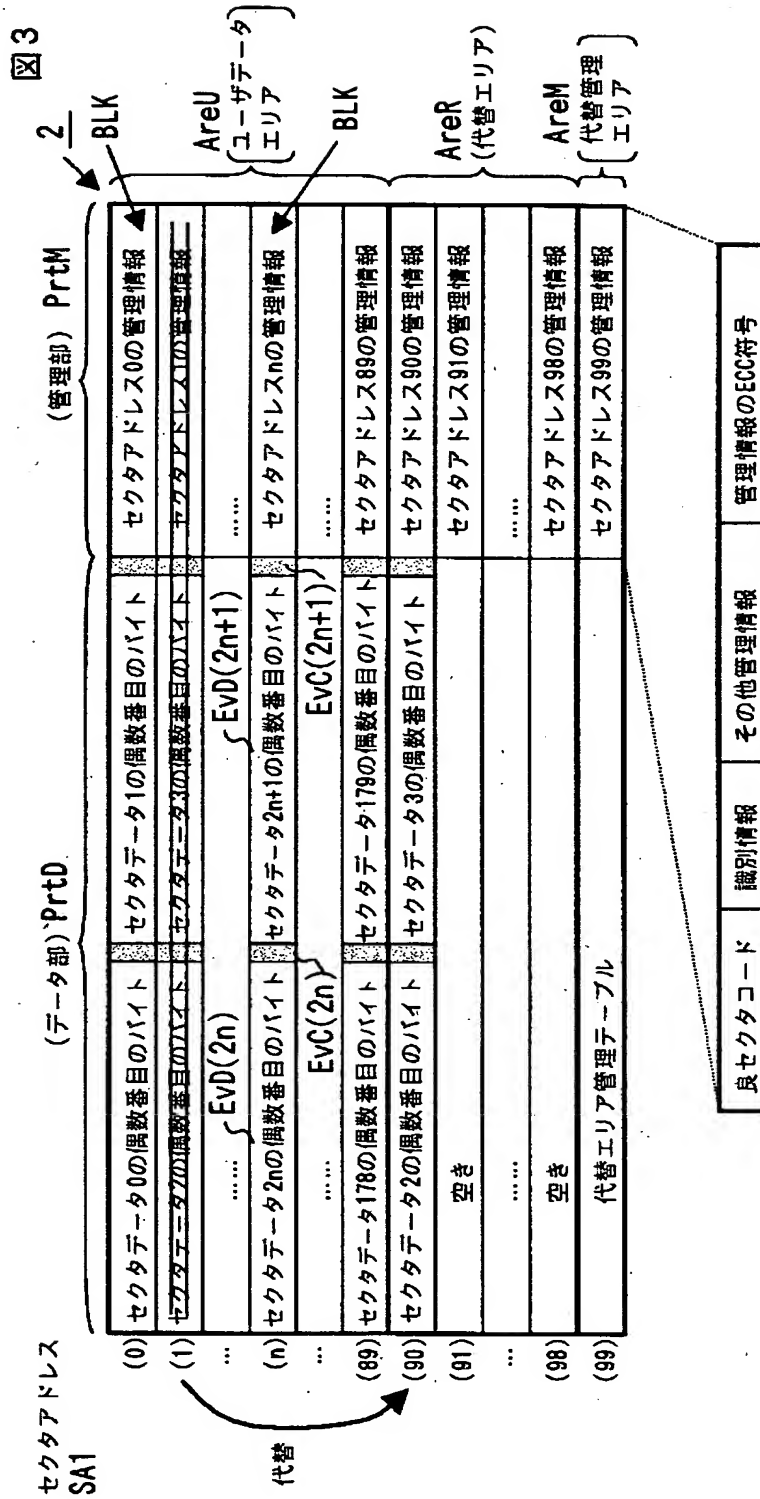


【図 2】

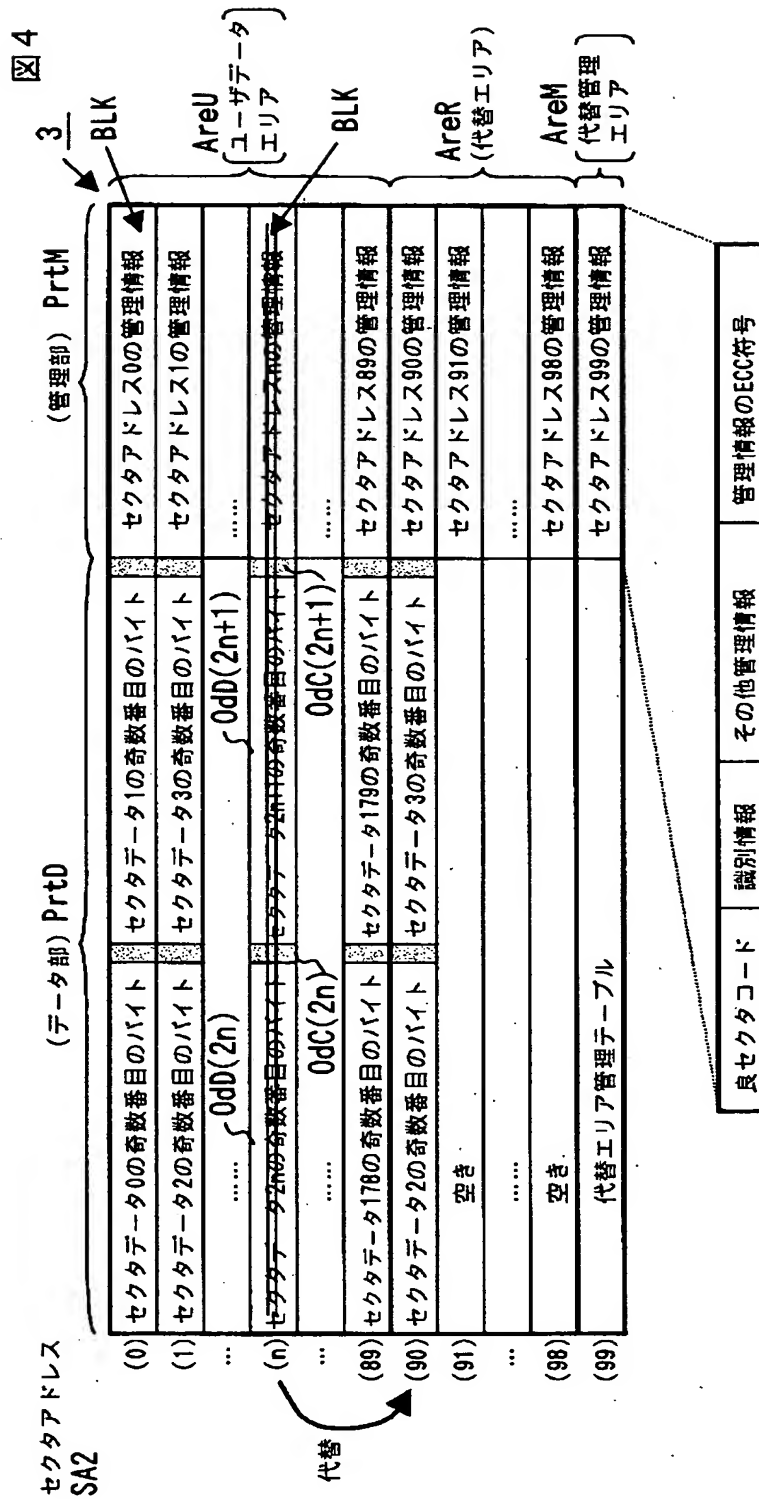
図 2



【図 3】

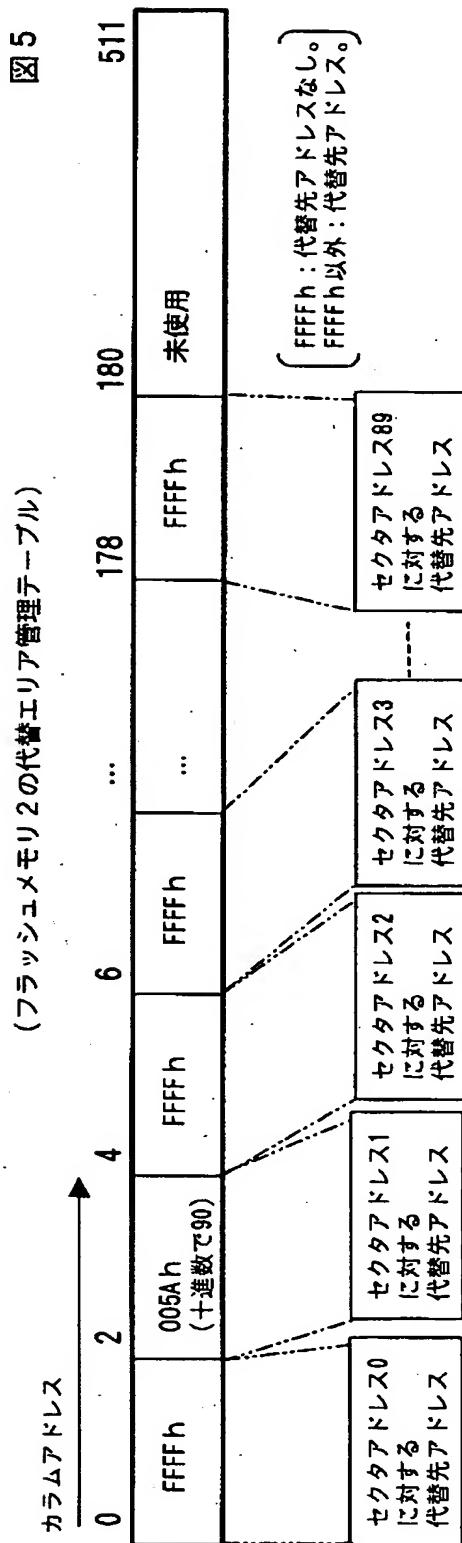


【図 4】

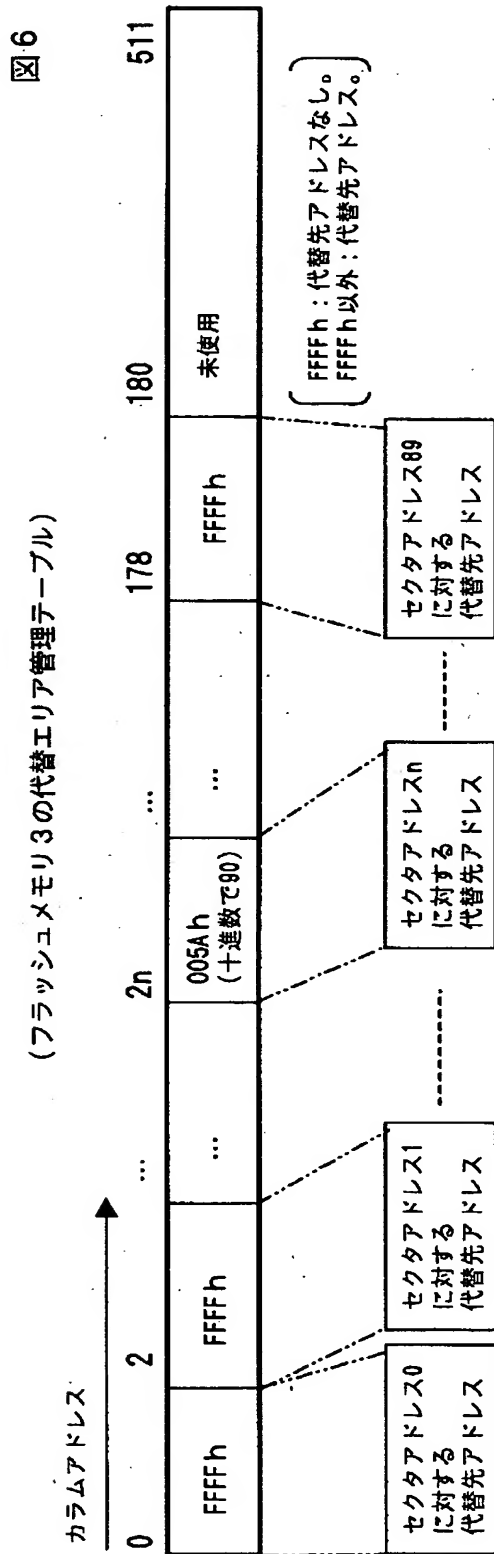




【図 5】

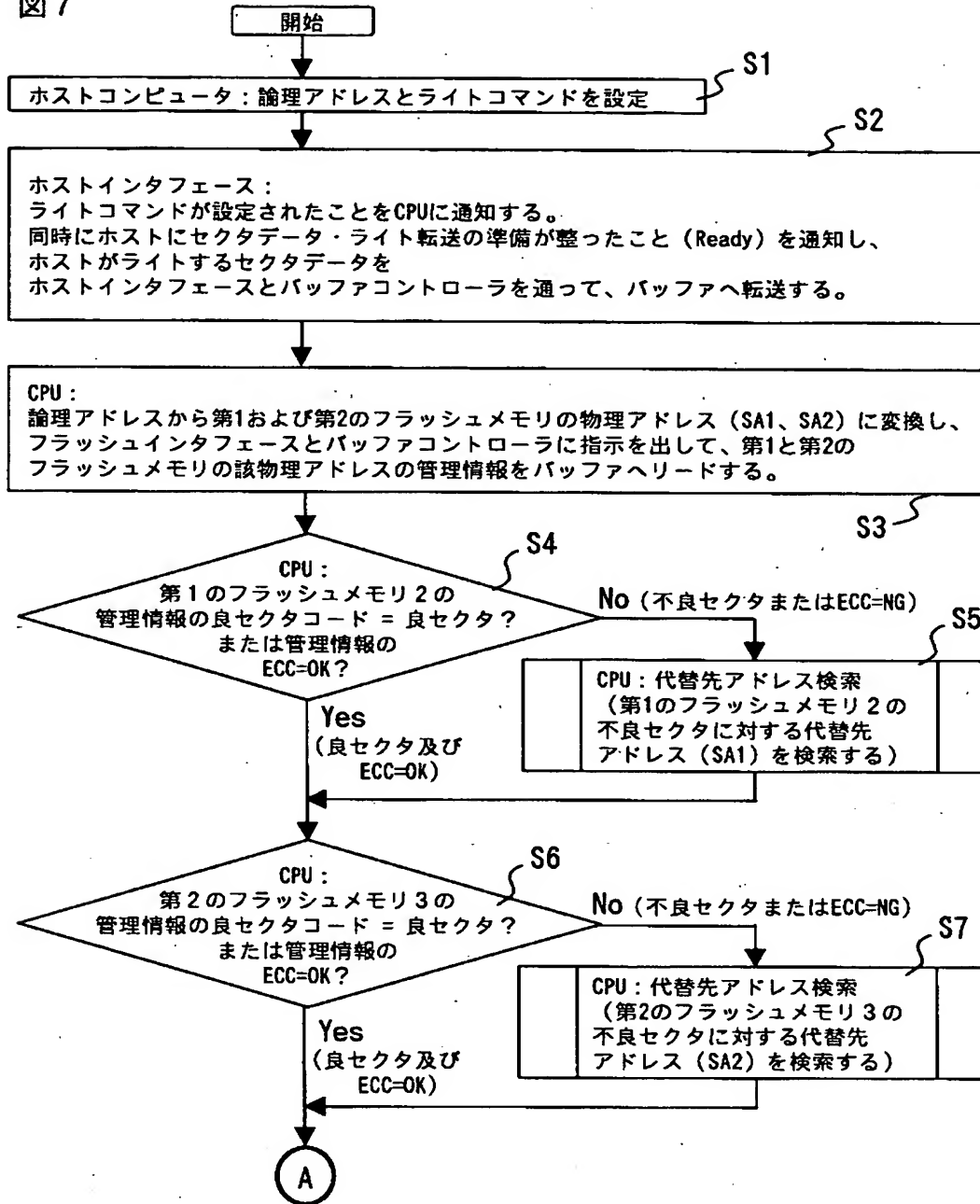


【図 6】



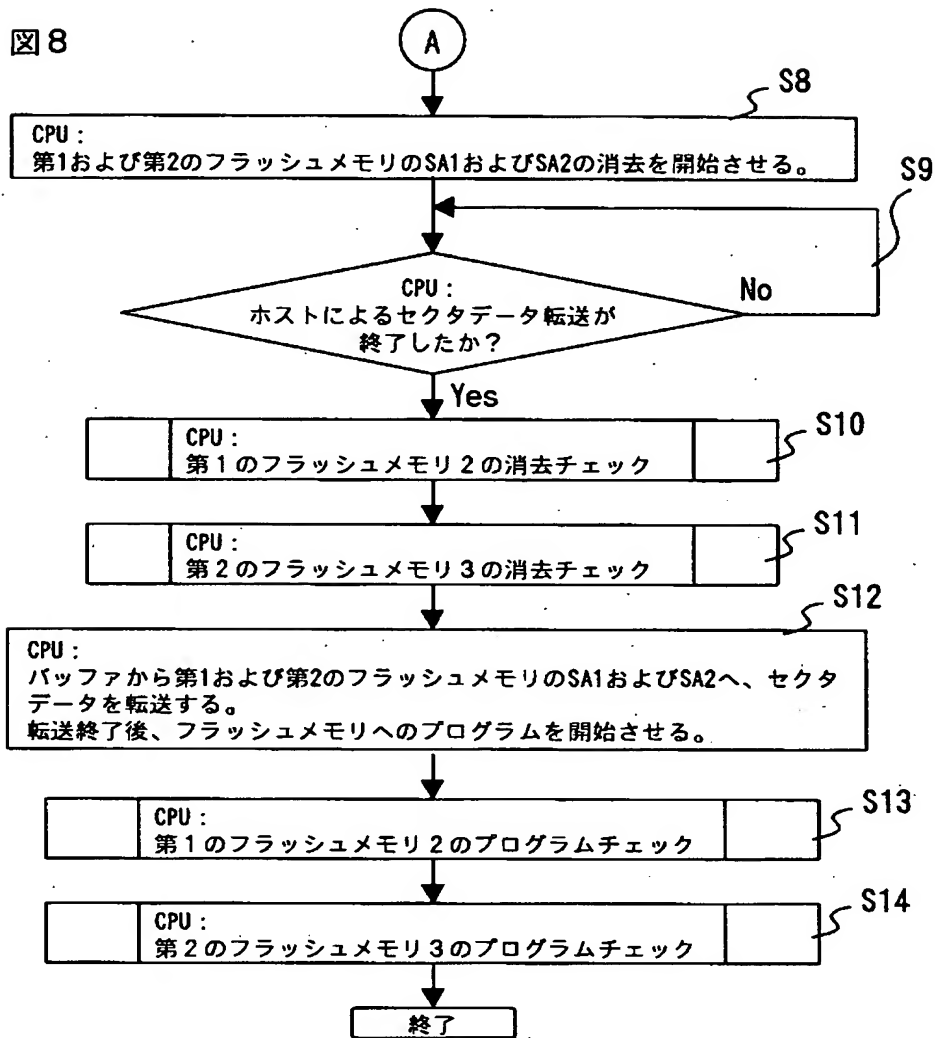
【図 7】

図 7



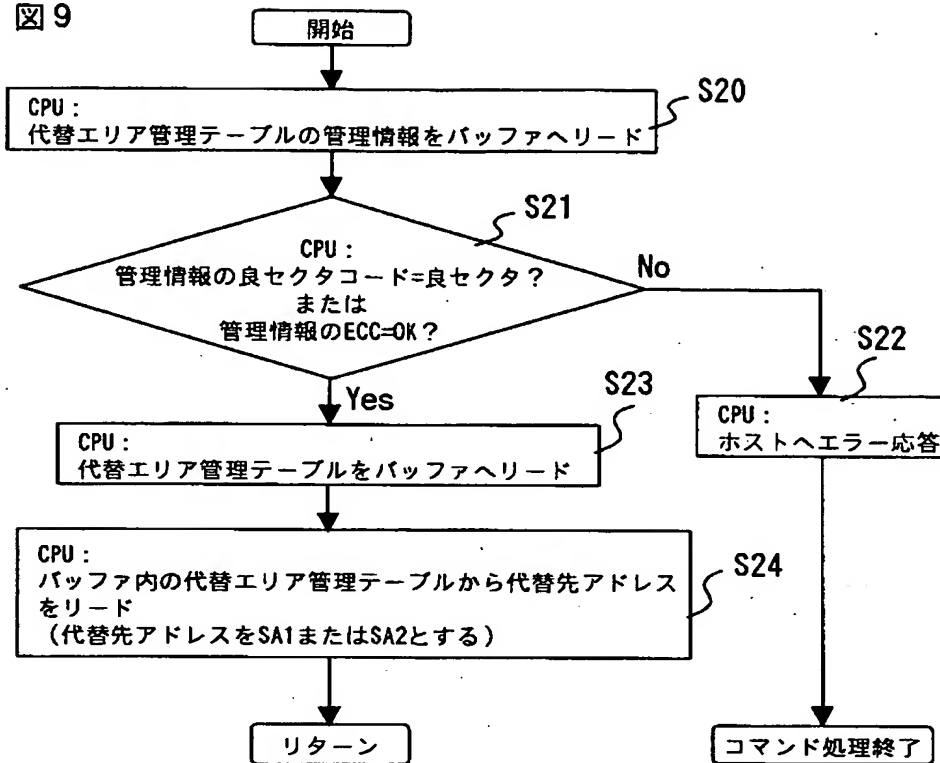
【図 8】

図 8



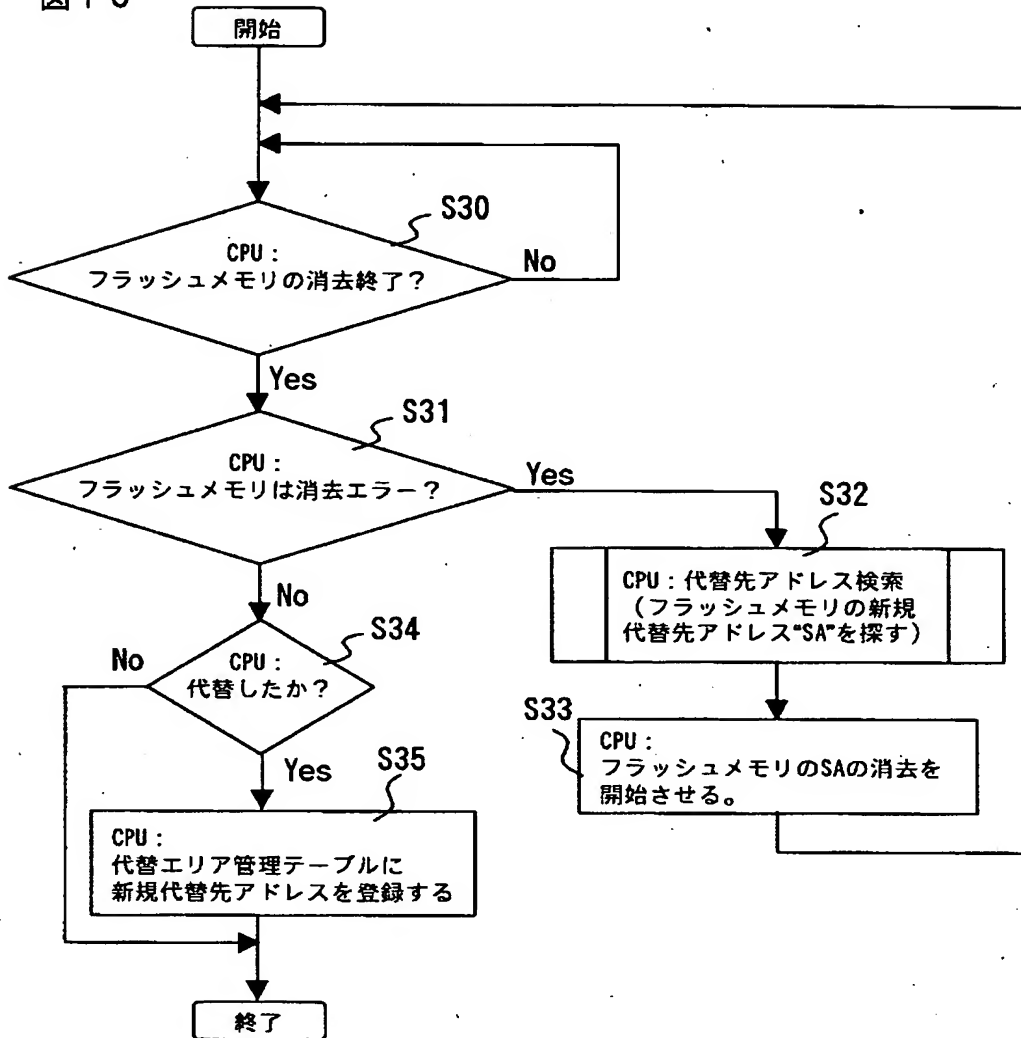
【図 9】

図 9



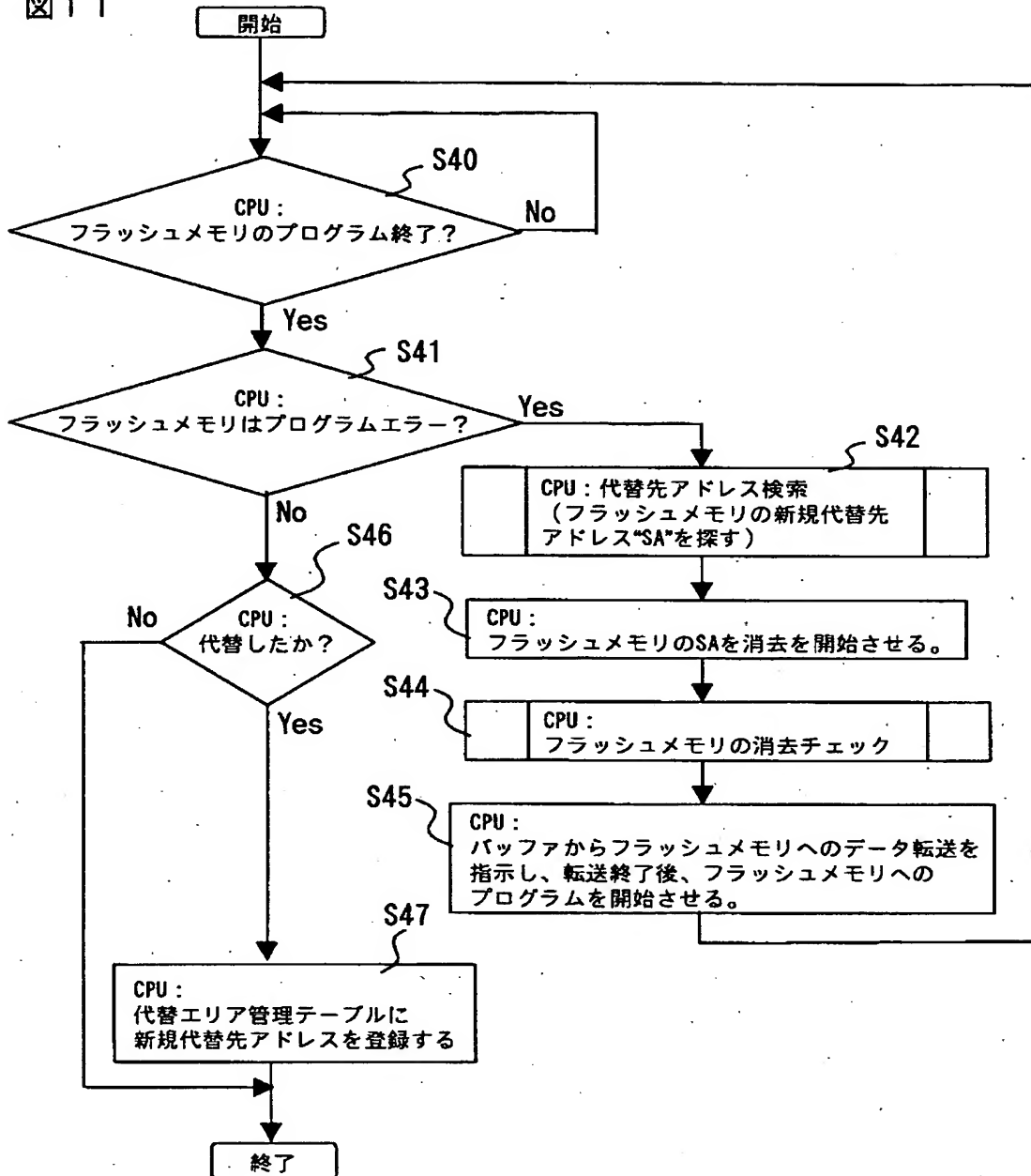
【図 1 0】

図 1 0



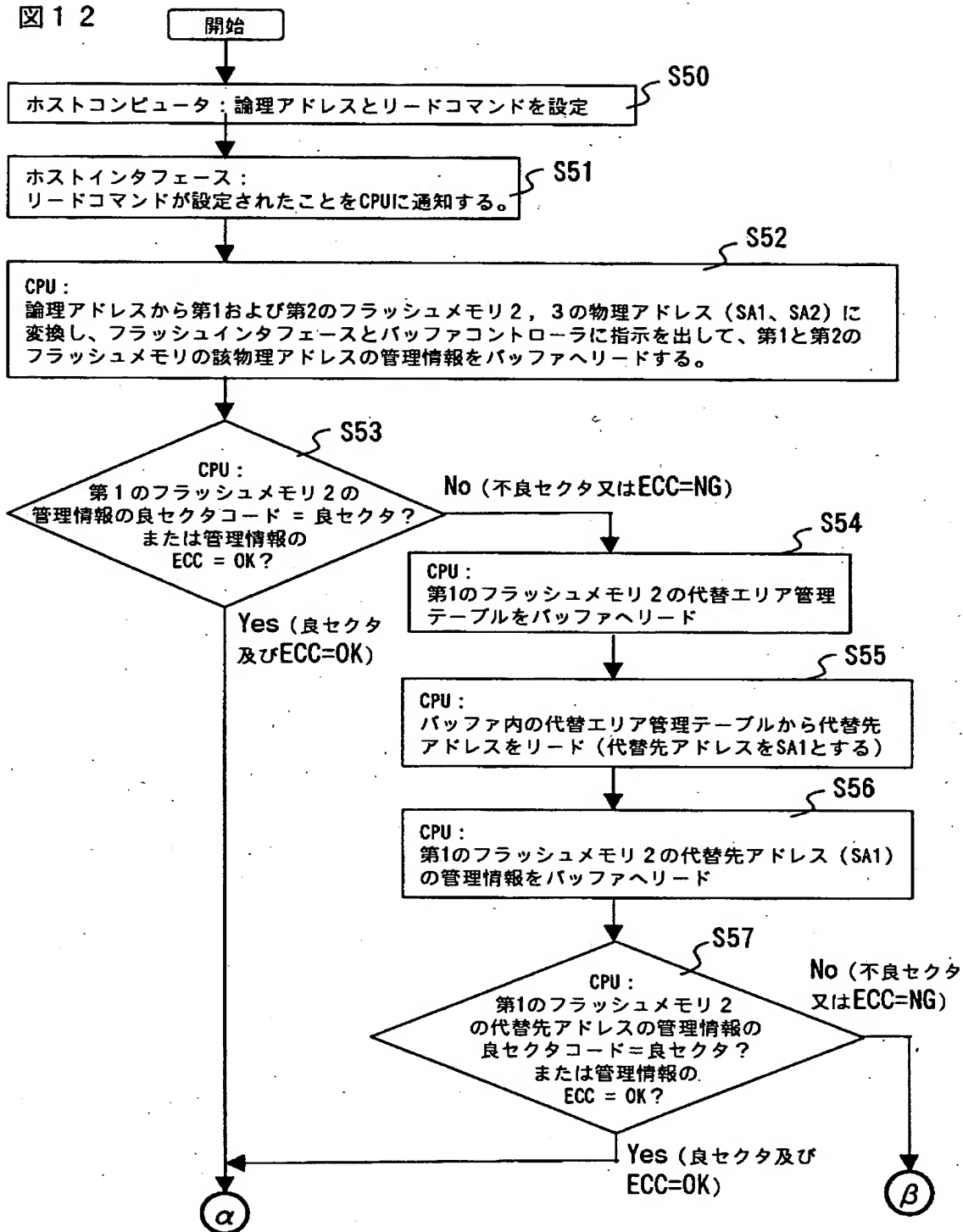
【図 11】

図 11



【図 1 2】

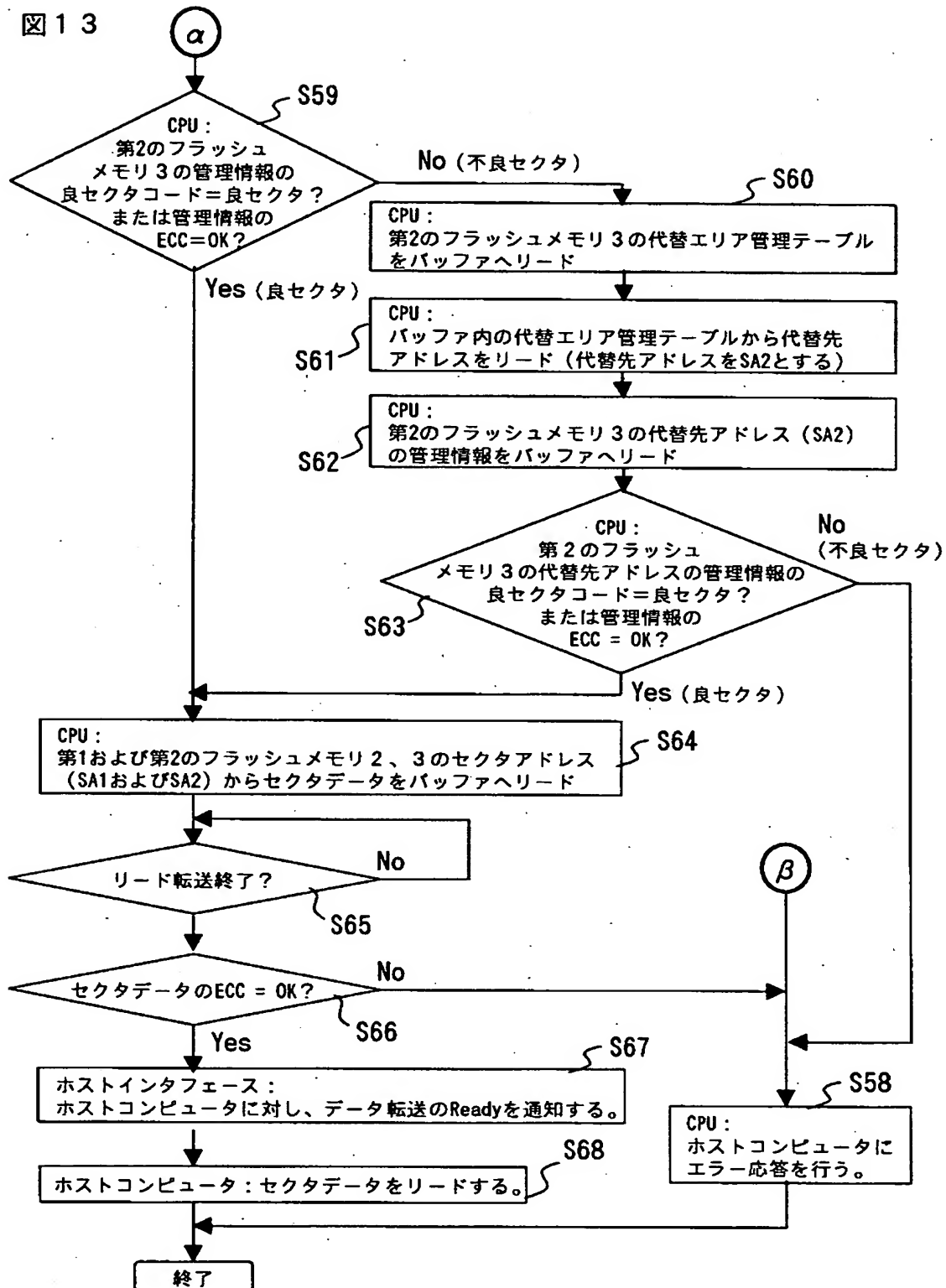
図 1 2



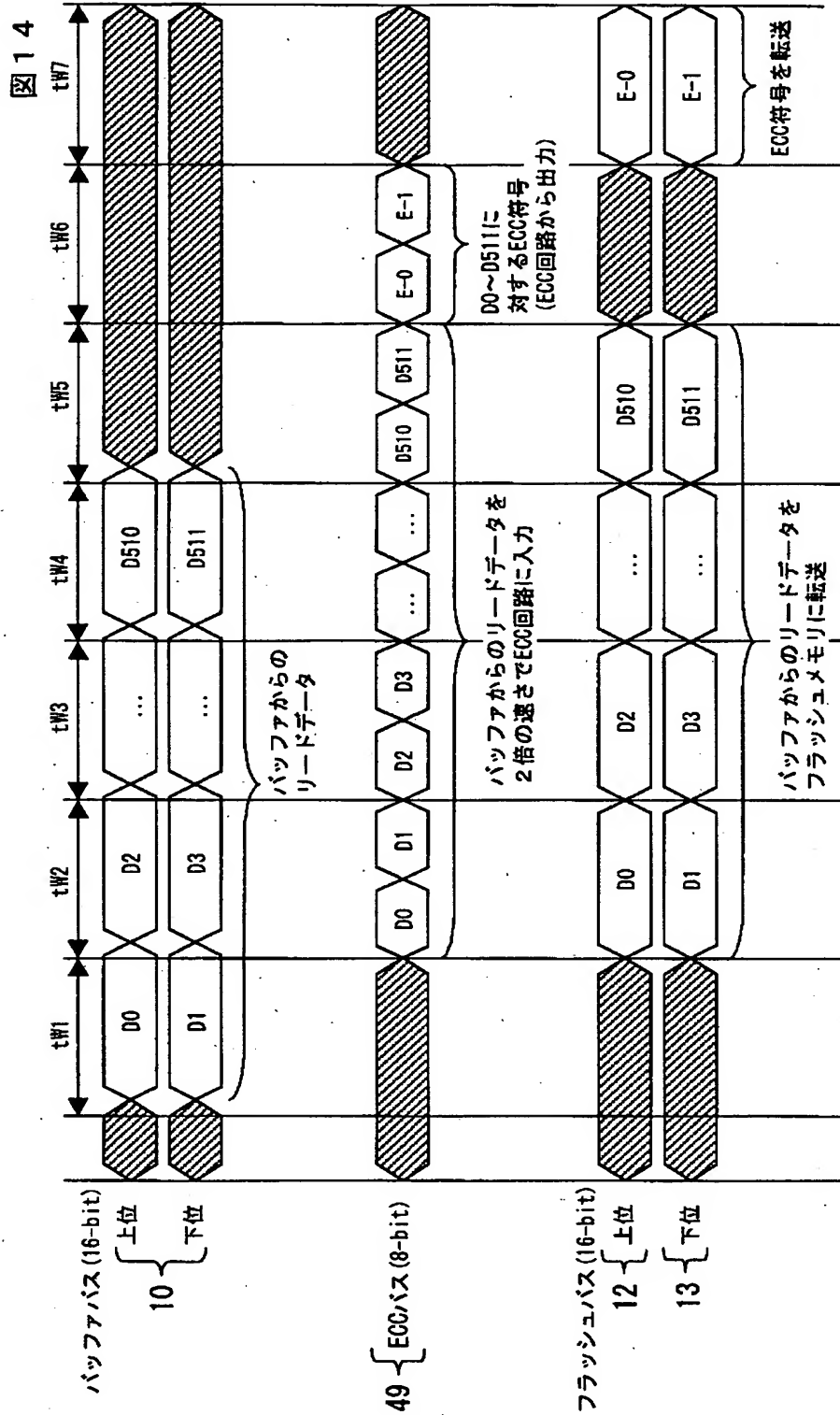


【図 13】

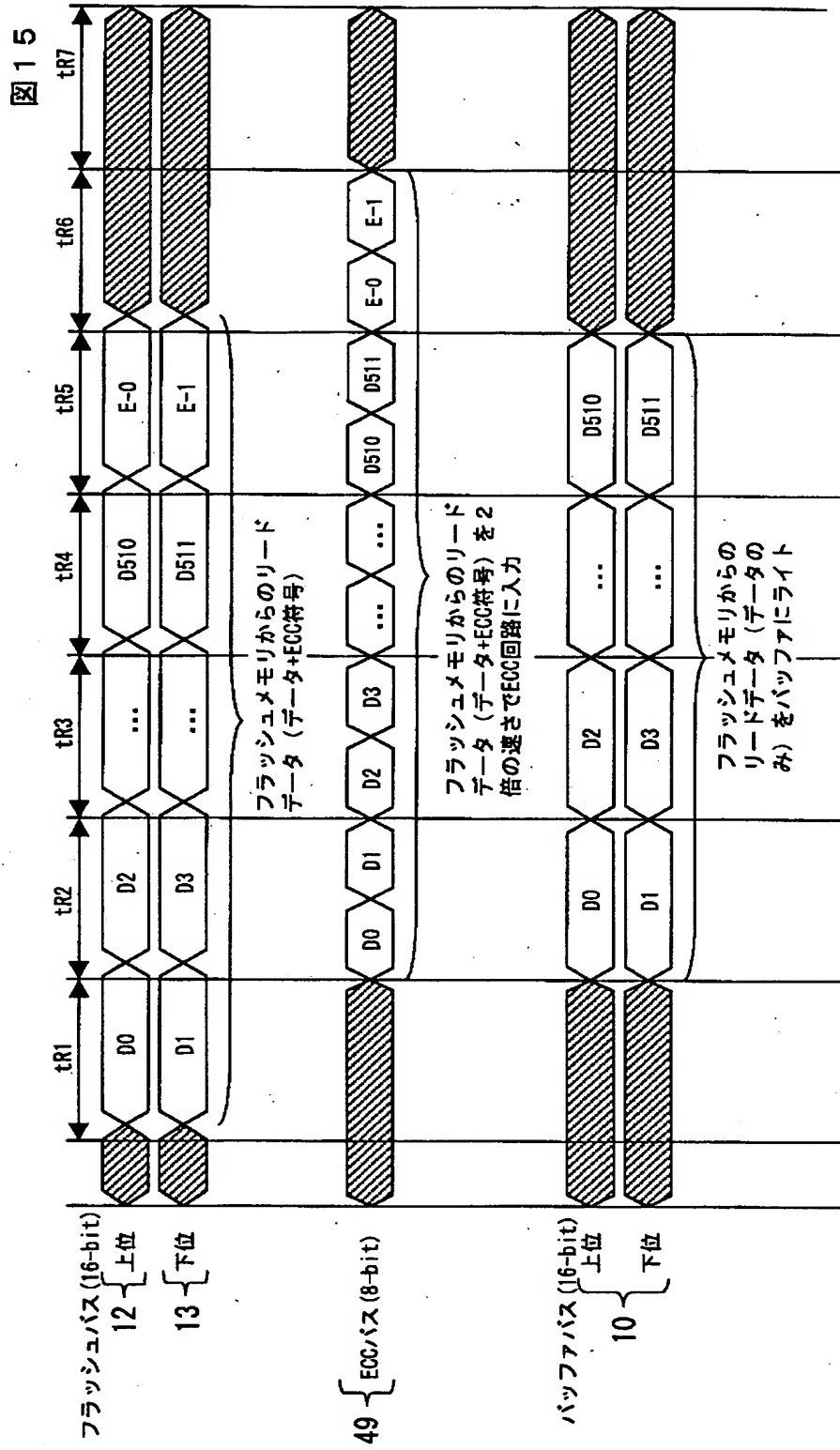
図 13



【図 14】

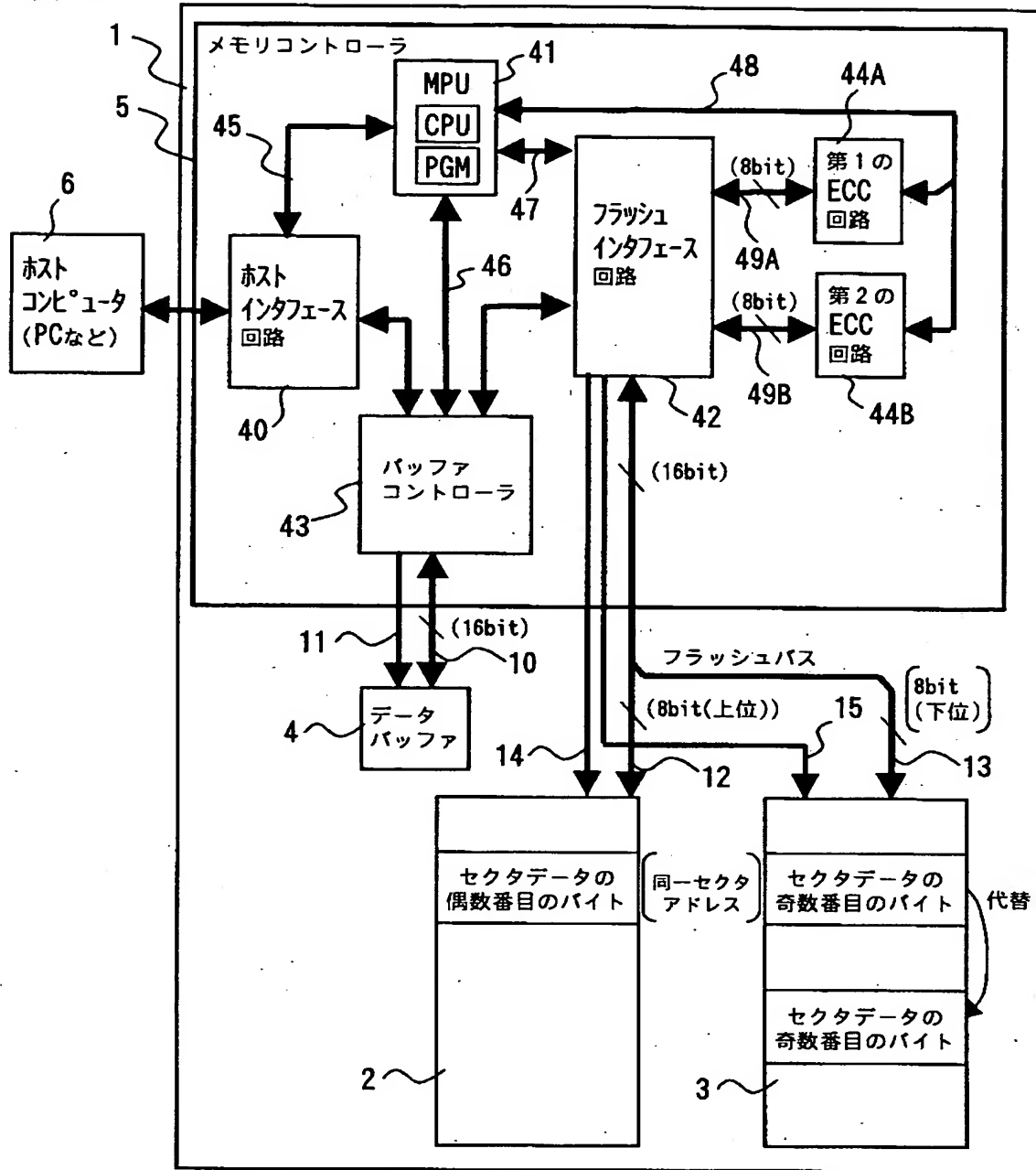


【図 15】

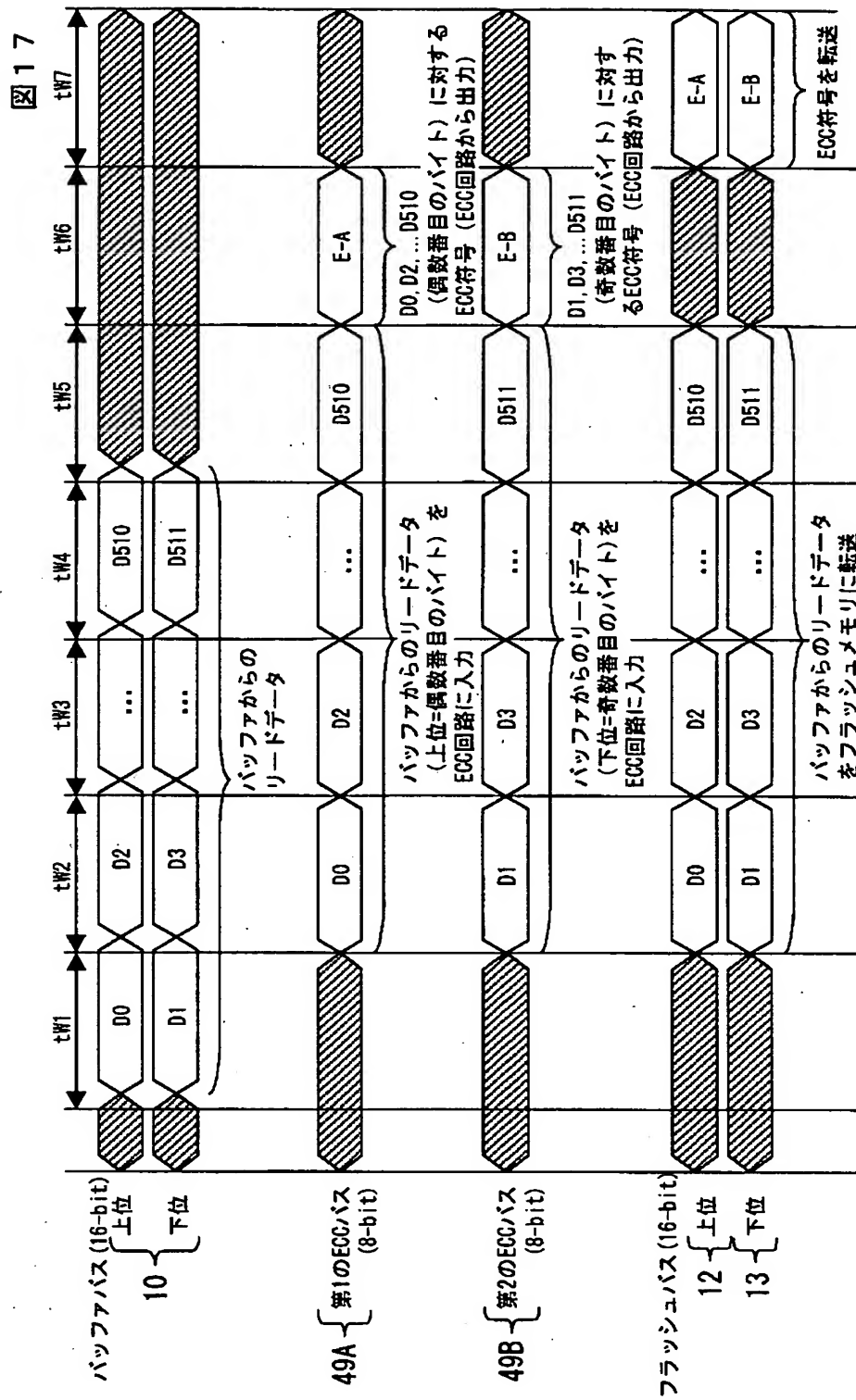


【図16】

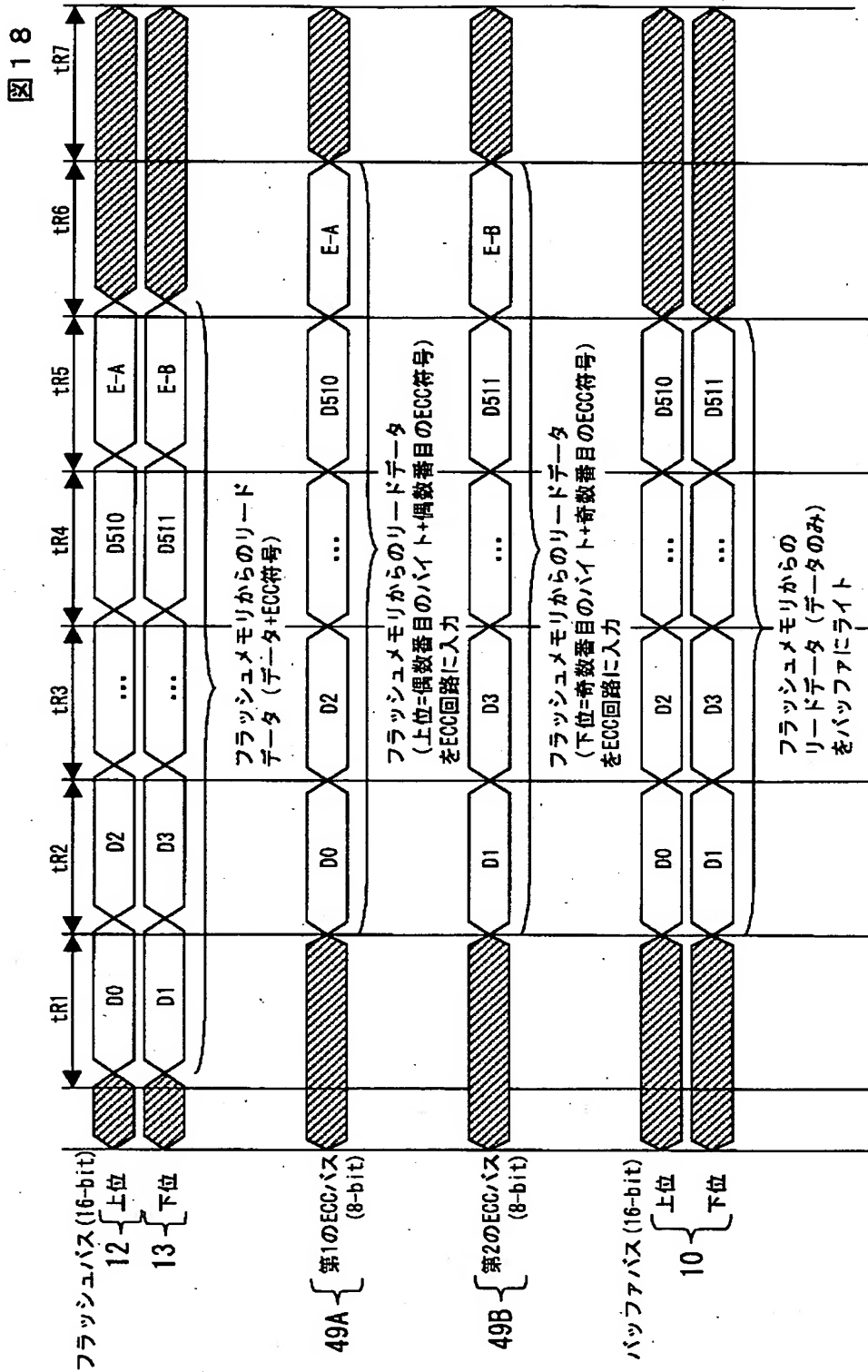
図16



【図 17】

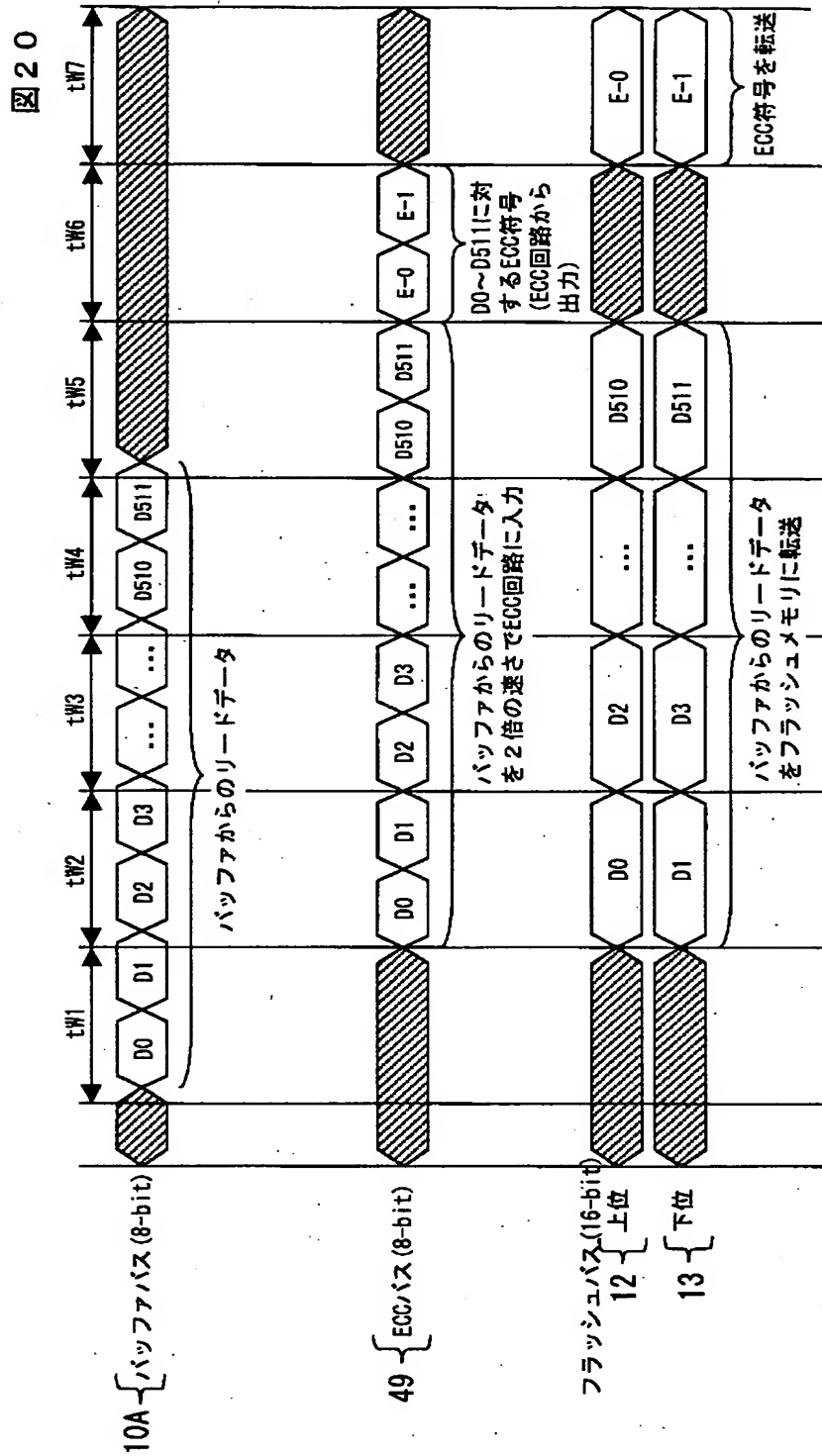


【図18】



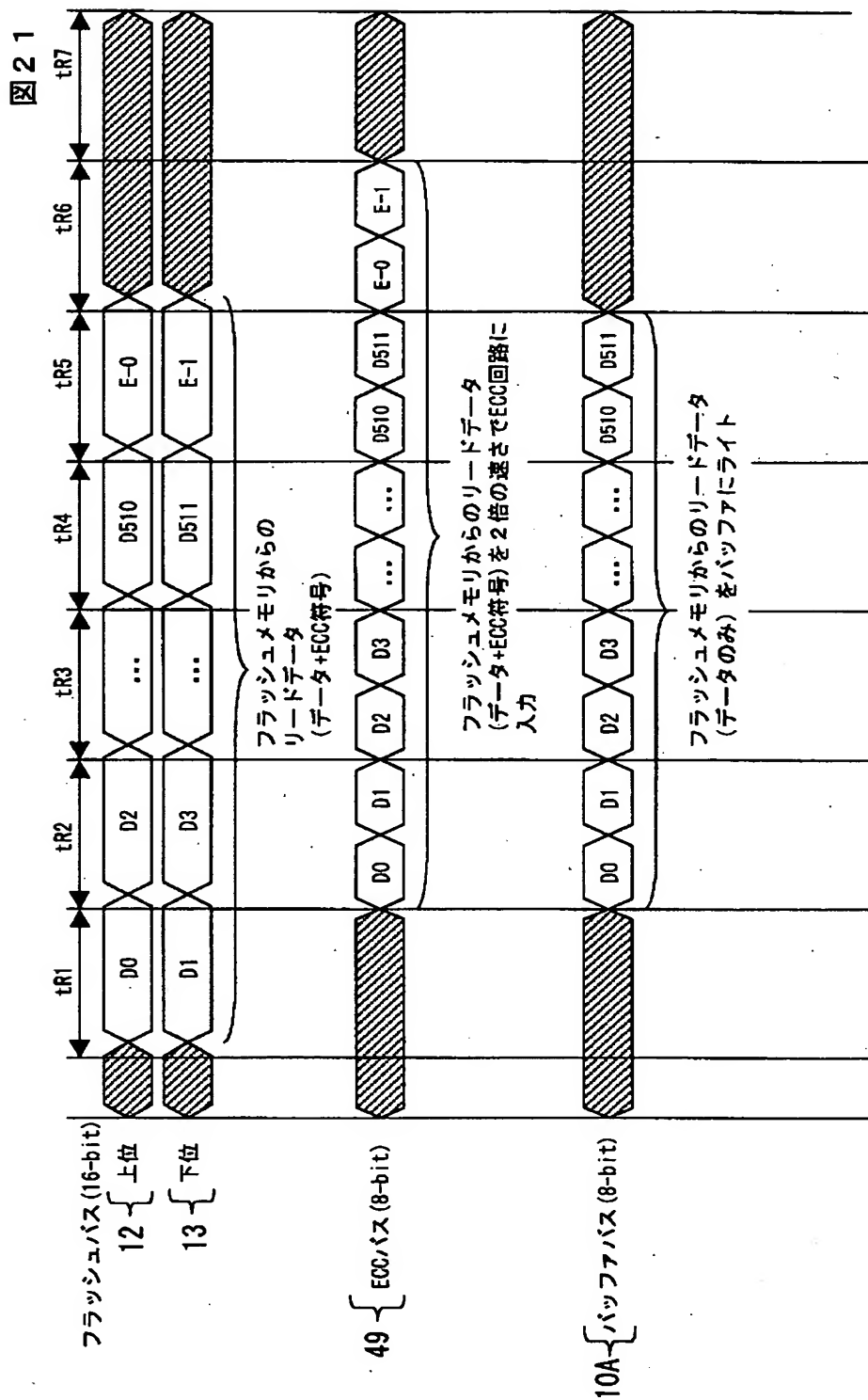


【図 20】





【図 21】



【書類名】            要約書

【要約】

【課題】    不揮発性メモリを用いたメモリカードにおけるアクセスの高速化を実現する。

【解決手段】    メモリカード（１）は、複数の不揮発性メモリ（２，３）、及び前記不揮発性メモリの動作を制御するメモリコントローラ（５）を有する。メモリコントローラは、外部からのアクセス指示に応答する前記不揮発性メモリのアクセス制御、及びアクセスエラーに係る不揮発性メモリの記憶領域を別の記憶領域に代替させる代替制御を行う。このとき、前記アクセス制御では前記複数の不揮発性メモリを並列アクセス動作させ、フラッシュメモリ間のデータ転送速度の高速化を実現する。前記代替制御ではアクセスエラーを生じた不揮発性メモリ毎に記憶領域を代替可能にするから、不良アドレスに対する代替領域を効率良く利用でき、代替に際して記憶領域の無駄を低減できる。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号

[000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ